

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-204556
 (43)Date of publication of application : 18.07.2003

(51)Int.Cl. H04N 7/32

(21)Application number : 2002-366636 (71)Applicant : SHIENESU TECHNOLOGY:KK
 (22)Date of filing : 18.12.2002 (72)Inventor : LEE SEUNG HO

(30)Priority

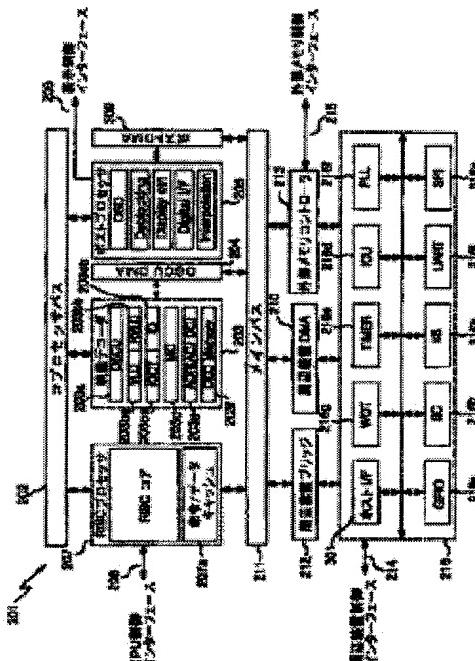
Priority number : 2001 200183951 Priority date : 24.12.2001 Priority country : KR

(54) MOVING PICTURE DECODING PROCESSOR FOR MULTIMEDIA SIGNAL PROCESSING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a moving picture decoding processor providing optimized systems having a separate bus structure so as to be applicable to various application fields.

SOLUTION: The moving picture decoding processor includes: a RISC processor 207 in charge of overall control to execute decoding of an externally received and compressed moving picture; a video decoder 203 for executing decoding of the moving picture; a post processor 205 for executing post-processing suitable for an output apparatus connected externally with respect to a decoded moving picture signal; a peripheral apparatus 216 required for system application; an external memory controller 213 for controlling an external memory; a DSCU DMA 204 for interfacing, a post DMA 209; a peripheral apparatus DMA 210; and a peripheral apparatus bridge 212, and activates a main bus 211, a co-processor bus 202, for interconnecting above, and a local bus (peripheral apparatus control bus) for the peripheral apparatus 216 independently of each other.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-204556

(P2003-204556A)

(43)公開日 平成15年7月18日 (2003.7.18)

(51)Int.Cl.⁷
H 0 4 N 7/32

識別記号

F I
H 0 4 N 7/137

テマコード(参考)
Z 5 C 0 5 9

審査請求 有 請求項の数21 O.L (全 23 頁)

(21)出願番号 特願2002-366636(P2002-366636)
(22)出願日 平成14年12月18日 (2002. 12. 18)
(31)優先権主張番号 2 0 0 1 - 0 8 3 9 5 1
(32)優先日 平成13年12月24日 (2001. 12. 24)
(33)優先権主張国 韓国 (KR)

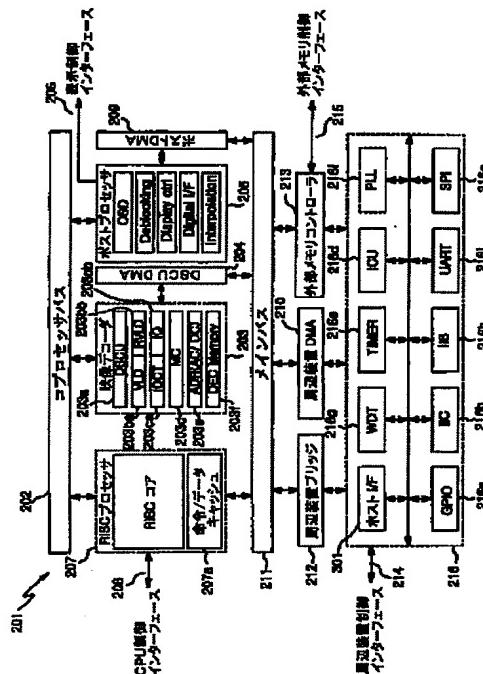
(71)出願人 502456736
株式会社シエンエステクノロジー
大韓民国ソウル特別市江南区論▲見▼洞
221-2 番地
(72)発明者 李 承浩
大韓民国ソウル特別市松▲堤▼区芳夷洞才
リンピック選手村アパート114棟106号
(74)代理人 100078868
弁理士 河野 登夫 (外1名)
F ターム(参考) 5C059 KK14 MA00 MA01 MA23 MC11
MC38 ME02 PP04 SS07 SS10
SS30 UA02 UA05 UA29 UA30

(54)【発明の名称】 マルチメディア信号処理のための映像復元プロセッサ

(57)【要約】

【課題】 分離されたバス構造を有することによって多様な応用分野で最適化されたシステムを具現できる映像復元プロセッサを提供する。

【解決手段】 外部から入力される圧縮された動画映像の復元を実行するための全般的な制御を担当するRISCプロセッサ207と、動画映像の復元を実行する映像デコーダ203と、復元された動画映像信号に対して外部に連結される出力装置に適合した後処理を実行するポストプロセッサ205と、システム応用時に必要な周辺装置216と、外部メモリを制御する外部メモリコントローラ213と、インターフェース用のDSCU DMA204、ポストDMA209、周辺装置DMA210及び周辺装置ブリッジ212とを有し、これらを連結するためのメインバス211と、コプロセッサバス202と、周辺装置216用のローカルバス(周辺装置制御バス)とを独立的に動作する。



【特許請求の範囲】

【請求項1】 外部から入力される圧縮された動画映像の復元を実行するための制御を行う第1プロセッサと、動画映像の復元を実行する映像デコーダと、復元された動画映像信号に対して、連結される外部出力装置に適合する後処理を実行する第2プロセッサと、前記第1プロセッサ、前記映像デコーダ及び前記第2プロセッサが連結されるコプロセッサバスと、前記映像デコーダ及び外部メモリをインターフェースさせる第1DMAと、前記第2プロセッサ及び前記外部メモリをインターフェースさせる第2DMAと、システム応用時に必要である周辺装置と、前記周辺装置及び前記外部メモリをインターフェースさせる第3DMAと、前記外部メモリを制御する外部メモリコントローラと、前記第1プロセッサ、前記第1DMA、前記第2DMA、前記第3DMA及び前記外部メモリコントローラが連結されるメインバスと、前記周辺装置が連結されるローカルバスと、前記メインバス及び前記ローカルバスに連結されて、前記メインバス及び前記ローカルバスをインターフェースさせる周辺装置ブリッジとを備えており、前記コプロセッサバス、前記メインバス及び前記ローカルバスは、夫々独立的に動作するようになしてあることを特徴とするマルチメディア信号処理のための映像復元プロセッサ。

【請求項2】 前記映像デコーダ及び前記第2プロセッサは、前記第1プロセッサと独立に動作するコプロセッサから構成されていることを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項3】 前記第1プロセッサと前記映像デコーダ及び前記第2プロセッサとの間の命令伝達及び制御は、前記コプロセッサバスを介してインターフェースされるようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項4】 前記第1プロセッサは、システム制御に必要なプログラムを貯蔵する命令/データキャッシュを有することを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項5】 前記映像デコーダは、ハフマン符号化によって圧縮されたデータを復元する可変長符号復元手段と、動き補償を実行する動き補償手段と、圧縮された動画映像の係数を時間領域の係数で復元して逆量子化を実行する逆DCT/逆量子化手段と、AC/DC係数の予測によって圧縮されたデータを復元するデータ復元手段と、前記映像デコーダの各構成部が共通で使用するメモリ手段と、前記各構成部のシーケンスを制御する制御手段とを有することを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項6】 前記制御手段は、フレーム単位で前記第1プロセッサを介して解釈された情報を用いてブロック単位でピクセルデータ復元のための全体シーケンスを制御し、前記可変長符号復元手段、前記逆DCT/逆量子化手段及び前記動き補償手段における一連のパイプラインを有機的に制御するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項7】 前記可変長符号復元手段は、ハフマン符号化された入力データを1コード単位で順方向または逆方向に復元するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項8】 前記逆DCT/逆量子化手段は、周波数領域で符号化された入力データに対して、時間領域に逆変換し、逆量子化を実行して、動画映像処理時の演算量を最小化すべく前記可変長符号復元手段から受けた係数の特徴に関する情報を用いて局部的な逆離散コサイン変換を実行するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項9】 前記動き補償手段は、入力された動きベクターの差分値と周辺マクロブロックの動きベクターを用いて予測された値とで最終的な動きベクターを計算し、計算された動きベクターを用いて以前フレームの相対的な位置を探し出した後、該当する領域のピクセルデータを読み込んで現在のブロックの復元に用いて、前記第1プロセッサから発生されたエラーのモード及び条件の入力を受けて、必要なエラー隠匿機能を実行するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項10】 以前フレームまたは現在処理しようとするフレームを外部メモリから読み込む過程を、前記映像デコーダの各構成部の動作とは独立的に実行するようにしたことを特徴とする請求項9記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項11】 前記メモリ手段は、動画映像データの復元時に必要な中間結果を貯蔵すると共に、以前フレームのデータを貯蔵するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項12】 前記第2プロセッサは、動画映像の他に追加的に文字を同時に表示するOSD機能と、復元された動画映像に対してデブロッキングを実行するデブロッキングフィルタ機能と、外部出力装置の種類に応じて適合する制御信号を発生させる表示制御機能と、外部デジタル出力装置のインターフェースを実行する機能と、復元された動画映像に対して補間を実行する補間フィルタ機能とを実行するようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項13】 前記第1プロセッサ、前記映像デコーダ、前記第2プロセッサ、前記周辺装置ブリッジ、前記第3DMA及び前記外部メモリコントローラは、前記メインバスを介してインターフェースされるようにしたことを特徴とする請求項1記載のマルチメディア信号のための映像復元プロセッサ。

【請求項14】 前記周辺装置は、外部ホストプロセッサとのインターフェースを提供するホストインターフェースと、ソフトウェアリセットを制御するWDTと、カウントアップ/ダウンを支援するタイマと、外部から入力される各種インターラプトを処理するICUと、内部にクロックを供給するPLLと、システム応用時に凡庸入出力端子で使用するGPIOと、外部映像エンコーダ及びデコーダへのインターフェースを提供するIICと、音声インターフェースのために使用されるIISと、凡庸直列通信ポートであるUARTと、マルチチャンネル直列通信を支援してマスターまたはスレーブモードで動作するSPIとを有することを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項15】 前記周辺装置の各構成部は、前記ローカルバスを介してインターフェースされるようにしたことを特徴とする請求項14記載のマルチメディア処理のための映像復元プロセッサ。

【請求項16】 前記第1プロセッサ、前記第1DMA、前記第2DMA及び前記第3DMAは前記メインバスに対してマスターの機能を実行し、前記周辺装置ブリッジ及び前記外部メモリコントローラは前記メインバスに対してスレーブの機能を実行するようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項17】 前記第1プロセッサは、動画映像の複号過程にあって、フレーム単位で含まれる各種ヘッダ情報と上位マクロブロックに対する情報をソフトウェア的に解釈するようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項18】 前記第1プロセッサにダウンロードされる外部プログラムは、前記周辺装置の中で、外部ホストプロセッサとのインターフェースを提供するホストインターフェースを介して電源を認可すると共に、必要なコードを読み込むようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項19】 前記第1プロセッサにダウンロードされる外部プログラムは、前記外部メモリコントローラを用いて、外部のプログラムメモリから前記メインバスを介して読み込むようにしたことを特徴とする請求項1または18記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項20】 前記映像デコーダは、前記コプロセッ

サバスを介して前記第1プロセッサを用いて命令を受け入れる際に、前記第1プロセッサとハンドシェイク方式でインターフェースするようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項21】 前記コプロセッサバスと前記メインバスとの間の動作制御は前記第1プロセッサを介してなされ、前記ローカルバスと前記メインバスとの間の動作制御は前記周辺装置ブリッジを介してなされるようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマルチメディア信号処理のための映像復元プロセッサに関し、更に詳しくは、RISC (Reduced Instruction Set Computer : 縮小命令セットコンピュータ) プロセッサを基盤としてメモリアクセスを最小化するために分離されたバス構造を有することによって多様な応用分野に最適化されたシステム

20 を具現できる映像復元プロセッサに関するものである。

【0002】

【従来の技術】 マルチメディア及びネットワーク関連の技術の発展と共に、通信という概念は、音声またはデータ伝送などに限らず、映像信号とインターネットなどの複合的なメディアとを含む多次元的な構造で発展している。特に、映像信号伝送に対する要求は、ITU (International Telecommunication Union) 、ISO (International organization for standardization) のような器具などを通じた規約の制定のため、その飛躍の足場が築かれたと言える。現在まで制定された映像信号処理のための規約としてはISOのJPEG (Joint Photographic Experts Group) とITUのH.261/H.263とISOのMPEG (Moving Pictures Expert Group) シリーズ標準がある。

これらの夫々はその応用分野にしたがって異なる特性を表し、JPEGは主にフォト(Photo)-CDに、H.261/H.263はビデオフォーン(video phone)及びビデオ会議(video conference)に、MPEG-1はCD-ROM、CD-I及びコンピュータ応用分野に、MPEG-2はデジタル放送及びビデオディストリビューション(video distribution)に主に応用されている。

【0003】 特に、1998年に制定されたMPEG-4は、既存の映像信号、音声信号の圧縮及び符号化過程のみならず、静止映像、コンピュータグラフィックス、分析/合成システムの音声符号化、ミディ(MIDI: Musical Instrument Digital Interface)などによる合成音声とテキストとを含む総合マルチメディア符号化規格を目的にして制定されており、この規格が含む範囲は、64Kbpsの低い伝送率の環境の単純プロファイル(simple profile)で38.4Mbpsに至るメインプロファイル(main profile)に亘るまで幅広い領域を含んでおり、その応用分野はマ

ルチメディアが追求する全ての領域を処理することができる。更に、IMT-2000 (International Mobile Telecommunications 2000) という4世代移動通信の技術が漸次に普遍化されながら、音声及び映像を統合するマルチメディア移動通信が、現在既に多重化されている音声及びデータ移動通信を代替する技術で可視化されている。MPEG-4は、このような次世代技術の核心として用いられるので、その重要性が増加している。MPEG-4は、他の映像信号処理技術などとは区別されて無線通信環境で運用される技術であって、特に単純プロファイル (simple profile) の応用分野は携帯用端末機という点を勘案すると、異なる映像信号処理技術に比べてエラーに対する耐性、低電力消費及び小規模回路による具現という点が強調されるべきである。なお、本発明に関連するマルチメディア及びネットワークの技術として、いくつかの提案がなされている（例えば、特許文献1～4参照）。

【0004】図1は、映像処理のために使用される一般的なメディアプロセッサの構造を示すブロック図である。メインプロセッサ101は、CPUの機能を実行するコントローラとして、メディアプロセッサ109の全ての入出力及び内部動作などを制御する。メインプロセッサは、その応用分野が限られているが、特定の機能を実行する方法も多様なアルゴリズムによって修正及び変更されることができ、それにより性能向上を図ることができる特性を有しているので、固定された機能を実行するように最適化された構成よりはプログラムが可能な構造を有するように設計されることが普通である。このような点でメインプロセッサ101は、内蔵されたプログラムメモリから、または外部に別度に追加されるメモリを用いて、特定の用途に適合するように符号化されたプログラムを実行することができる。このプログラムは、基本的な動画映像信号の圧縮及び復元のみならず、音声信号の圧縮及び復元、各種周辺装置などから発生されるインターラプト信号の処理、映像表示器及び映像キャプチャのための制御、外部のホスト役割を実行するプロセッサとの通信、並びに、入力される音声／映像信号の分離など多様な機能を実行するように設計される。

【0005】メインプロセッサ101は、他のブロックとメインバス108を介してインターフェースになっており、メインプロセッサ101と異なるブロックとの連結は、バーストアービトリレーション (burst arbitration) によって調節されて割り当てられる。映像キャプチャ102は、映像信号の圧縮のためにデジタルカメラのような外部映像入力装置を介して動画映像を受け入れ、これをフレームメモリに貯蔵する。映像表示部103は、復元された映像信号をLCDのような外部出力装置へ送る。全ての映像信号の復元は内部コーデックで実行するが、復元された映像信号の画質改善、出力映像の大きさ及び位置調節、出力装置の種類に応じるフォーマット変換など多様な後処理過程を、映像表示部103で実行すること

ができる。ホストインターフェース104は、図1のメディアプロセッサ109をスレーブ(slave)で運用している外部ホストプロセッサとの通信のために使用される。一般的に無線通信環境でホストプロセッサは基底帯域（ベースバンド）モデルプロセッサになり、このプロセッサは、高周波モジュールとのインターフェース機能、及び、外部から入力される音声／映像複合信号をメディアプロセッサ109へ伝達する役割のみを実行する。外部メモリインターフェース105は、外部に装着されるメモリなどとのインターフェースのために使用され、主にメモリコントローラが含まれる。映像／音声コーデック106は、音声及び映像信号の圧縮と復元とを実行する。

【0006】映像／音声コーデック106は、メディアプロセッサ109が使用される応用分野に応じて最適化された圧縮及び復元アルゴリズムをハードウェア及びソフトウェアに具現したものである。周辺装置107は、メディアプロセッサ109が使用されるシステムの各種インターフェースを支援するために追加される装置であって、主にIIC (Inter IC Controller)、タイマ、凡庸非同期化送受信機 (UART: Universal Asynchronous Receiver Transmitter)、クロックコントローラ、インタラプトコントローラなどが含まれる。

【0007】

【特許文献1】米国特許第6124882号明細書

【特許文献2】米国特許第5982459号明細書

【特許文献3】米国特許第5781788号明細書

【特許文献4】米国特許第5668601号明細書

【0008】

【発明が解決しようとする課題】しかしながら、上述したメディアプロセッサ109は次のような問題点を有している。一番目に、メインプロセッサ101と異なるブロック間の連結が单一バスであるメインバス108を用いて構成されているので、メインバス108の負荷が極めて大きくなり、従って動作周波数の向上が難しい。二番目に、メインバス108の負荷増加は直ちに全体的な電力消費の増加につながるので、携帯用端末機などの応用分野での適用が難しい。三番目に、全てのブロックがメインバス108に連結されているので、各ブロックの資源割り当方が非効率である。

【0009】本発明は上述した問題点を解決するためになされたものであって、RISCプロセッサを基盤としてメモリアクセスを最小化するために分離されたバス構造を有する動画映像復元プロセッサを具現して、ビデオフォーン、PDA (Personal Digital Assistants) 無線端末機などに応用することができ、特にプログラムが可能である構造を用いて、多様な応用分野で最適化されたシステムを具現できるマルチメディア信号処理のための映像復元プロセッサを提供することをその目的とする。

【0010】

【課題を解決するための手段】上述した目的を達成する

ために本発明のマルチメディア信号処理のための映像復元プロセッサは、外部から入力される圧縮された動画映像の復元を実行するための全般的な制御を担当する第1プロセッサ（RISCプロセッサ）と、動画映像の復元を実行する映像デコーダ（VDEC：Video Decoder）と、復元された動画映像信号に対して外部に連結される出力装置に適した後処理を実行する第2プロセッサ（ポストプロセッサ）と、映像デコーダ及び外部メモリをインターフェースさせる第1DMA（DSCU DMA（Decoding Sequence Control Unit Direct Memory Access））と、第2プロセッサ（ポストプロセッサ）及び外部メモリをインターフェースさせる第2DMA（ポストDMA）と、システム応用の際に必要な第3DMA（周辺装置DMA）と、外部メモリを制御する外部メモリコントローラと、周辺装置が連結されるローカルバス（周辺装置制御バス）及びメインバスをインターフェースさせる周辺装置ブリッジと、これらの各構成部を連結させる三つの独立的なメインバス、コプロセッサバス、ローカルバス（周辺装置制御バス）とを備えることを特徴とする。本発明の映像デコーダは、ハフマン（Huffman）符号化によって圧縮されたデータを復元するVLD（Variable Length Decoder：可変長デコーダ）及びRVLD（Reversible Variable Length Decoder：反転可変長デコーダ）と、動き補償を実行するMC（Motion Compensation：動き補償部）と、圧縮された動画映像係数を時間領域の係数で復元して逆量子化を実行するIDCT（Inverse Discrete Cosine Transform：逆離散コサイン変換）／IQ（Inverse Quantization：逆量子化）と、AC／DC係数予測によって圧縮されたデータを復元するADR（AC/DC Reconstructor）と、各構成部が共通で使用するDEC（DEcoder）Memory（DECメモリ）と、各構成部のシーケンスを制御するDSCU（復元シーケンス制御部）とを有することを特徴とする。本発明のポストプロセッサは、動画映像以外に追加的に文字を同時に表示できるOSD（On Screen Display）機能と、復元された動画映像に対してデブロッキング（deblocking）を実行するデブロッキングフィルタ機能と、外部出力装置の種類に応じて適合する制御信号を発生させる表示制御機能と、外部デジタル出力装置のインターフェースを実行する機能と、復元された動画映像に対して、補間を実行する補間フィルタ機能とを実行することを特徴とする。本発明の周辺装置は、外部ホストプロセッサとのインターフェースを提供するホストインターフェースと、ソフトウェアリセットを制御するWDT（Watch Dog Timer：ウォッチドッグタイマ）と、カウントアップ／ダウンを支援するタイマと、外部から入力される各種インターラプトを処理するICU（Interrupt Control Unit：割り込み制御部）と、内部にクロックを供給するPLL（Phase Locked Loop：位同期回路）と、システム応用の際に凡庸入出力端子で使用されるGPIO（General Port Input Output）と、外部映像エンコーダ及びデ

コーダへのインターフェースを提供するIIC（Inter IC Controller）と、音声インターフェースのために使用されるIIS（Inter IC Sound Interface）と、凡庸直列通信ポートであるUARTと、マルチチャンネル直列通信を支援して、マスター モードまたはスレーブ モードで動作するSPI（Serial Port Interface）とを有することを特徴とする。

【0011】

【発明の実施の形態】以下、本発明を添付された図2乃至図20を参照して詳述する。図2は、本発明に係る映像復元プロセッサ201の全体的な構成図である。復元プロセッサ201には、最適のハードウェアを用いると共に多様な応用分野としての適用が容易になるように内部にRISCプロセッサ207（第1プロセッサ）が搭載される。RISCプロセッサ207は、基本的に外部から入力される圧縮された動画映像の復元を実行するための全般的な制御を担当する。RISCプロセッサ207は、内部に命令／データキャッシュ207aを有し、別のメモリがなくてもシステム制御に必要なプログラムを貯蔵することが可能であり、このプログラムを用いて復元プロセッサ201の応用適用の際に多様な応用ツールなどを効果的に支援することができる。このプログラムは、復元プロセッサ201起動の際に、周辺装置216及び外部メモリ制御インターフェース215を介して外部メモリまたは外部ホストから入力されることができ、命令／データキャッシュ207aの特性を用いるため、応用プログラムの大きさに関わらず、使用者が必要なツールなどに容易に適用できる環境を提供する。

【0012】RISCプロセッサ207は、基本的なコードックの制御以外にも各種の周辺装置216及びポストプロセッサ205（第2プロセッサ）から発生されるインターラプトなどを組み合わせて該当する処理ルーチンなどを実行する。CPU制御インターフェース208は、RISCプロセッサ207を統制するために使用される各種の外部入力などから、エンディアン（Endian）設定、外部入出力（external Input/output）制御、テストモード設定などに関係される制御信号などが伝送される。動画映像復元のためには一定容量のフレームメモリが必要である。これは、動画映像の復元過程で以前フレームが必要となる場合が頻繁に発生するためである。一般的に動画映像の復元過程では現在または以前のフレームメモリのアクセスが極めて頻繁であるため、従来例のように単一システムバスを用いると、システムバスの利用度の面で極めて非効率である。即ち、フレームメモリを使用するために周辺装置207、DSCU DMA204（第1DMA）及びポストDMA209（第2DMA）のようなブロックがバスを頻繁に使用すれば、周辺装置ブリッジ212または周辺装置DMA210（第3DMA）のような残りのブロックがこのバスを専有できる機会が少なくなるので、全体的な性能が低下することもある。

【0013】従って本発明では、内部コーデックの制御のためのコプロセッサバス202と外部メモリの制御及びアクセスのためのメインバス211とを分離することによって、バスに対する各ブロックの負荷（loading）が最小化されるようになる。コプロセッサバス202は、RISCプロセッサ207、映像デコーダ203及びポストプロセッサ205の間のみで使用される共通バスであり、これらを除いた他のブロックとは独立的である。コプロセッサバス202は、主に映像デコーダ203及びポストプロセッサ205を制御するための専用コプロセッサ命令の伝達とハンドシェイク（handshaking）のために使用され、メインバス211とは独立して動作される。映像デコーダ203とポストプロセッサ205とは夫々コプロセッサインターフェースによってRISCプロセッサ207に連結されるため、別度のバスアービトリレーションのための機能が必要ではなく、映像デコーダ203の内部の各ブロックは命令インタークリタ（instruction interpreter）を内蔵しているので、各ブロックに該当する特定命令がコプロセッサバス202上に存在する場合のみ動作を始めるように設計される。

【0014】メインバス211は外部メモリとのインターフェースを提供するバスであり、四つのマスター（master）と二つのスレーブ（slave）とが連結されている。ここで、四つのマスターは夫々RISCプロセッサ207、DSCU DMA204、ポストDMA209、周辺装置DMA210であり、二つのスレーブは外部メモリコントローラ213、周辺装置ブリッジ212である。四つのマスターと二つのスレーブとの間のバス使用は、メインバス211に含まれたバス仲裁器によって制御される。この際、バス仲裁は、バス要求信号を発生させたバスマスターの選択とアドレス割り当てによるスレーブの選択とから構成される。スレーブの選択はRISCプロセッサ207で生成されるアドレスの上位2ビットを用いるようになるが、バスマスターがRISCプロセッサ207以外の他のブロックである場合に、スレーブは自動的に外部メモリコントローラ213に固定される。物理的にメインバス211には四つのマスターが連結されるが、実際は外部にDRAM（Dynamic Random Access Memory）のような形態のメモリが連結される場合、そのリフレッシュ（refresh）のための処理機能が追加的に存在する所以、これを考慮すれば全部で五つのマスターが存在するようになる。この五つのマスターに対して夫々の特性に応じてバス使用に対する優先権を付与し、外部にDRAMを使用する場合、そのリフレッシュのための処理過程が一番高い優先順位を有し、周辺装置DMA210→ポストDMA209→DSCU DMA204→RISCプロセッサ207の順で優先権が付与される。

【0015】外部のDRAMリフレッシュのための処理過程にはメインクロック（main clock）を基準として7サイクルが必要になるので、バスサイクルは基準としては2サイクルが必要である。メインクロックを基準として外

部メモリから1ワードをアクセスするためには4サイクルが必要であるので、4サイクルを1サイクルで定義する。周辺装置DMA210の場合にはバッファが最大限の20ワードを貯蔵できるため、これを最大に使用すると仮定した場合、最大20バスサイクルが必要である。ポストDMA209の場合にはOSD機能を具現するためのライン読み動作でメモリアクセスが一番大きいため、最大360ピクセルデータをアクセスすると見れば（QCIF（Quarter size Common Intermediate Format）大きさを基準とする場合）45バスサイクルが要求される。DSCU DMA204の場合には動き補償を実行するために映像データの1ブロック、即ち 8×8 ピクセルデータを一連のメモリアクセスで処理すべきであるため、1ラインを最大9バイトにして、最大9ラインをアクセスすれば最大27バスサイクルが使用される。

【0016】RISCプロセッサ207がメモリアクセスを要求する場合は、内部の命令／データキャッシュ207aにミスが発生してキャッシュファイル（Cache fill）を実行するためであり、この場合にはキャッシュの1ラインを占める4ワード単位のアクセスが行われるので最大4バスサイクルが使用される。メインバス211の使用効率を高めるために映像デコーダ203とポストプロセッサ205とは夫々DSCU DMA204及びポストDMA209のみを介してバスアクセスが可能であり、これはバスの使用を制限すると共に使用権限が与えられる場合にバーストアクセス（burst access）を用いてその時間を最小にできる長所がある。映像デコーダ203は、H.263/MPEG-4標準によって圧縮された動画映像の復元を実行する、映像デコーダ203の内部には、復元過程を統括して制御するDSCU203a、入力される圧縮データビットストリームの構文解析（bit stream parsing）を担当するVLD203ba、エラー耐性（error resilience）機能を支援するためのRLD203bb、ピクセル単位の周波数－時間領域変換を実行するIDCT203ca、量子化されて入力されるピクセルデータに対する逆量子化を実行するIQ203cb、以前フレームデータの相関関係を用いて現在フレームを復元するMC203d、MPEG-4でイントラマクロブロックが入力される場合、周辺マクロブロックのDC値及びAC値を用いて現在のDC値及びAC値を推定するADR203e、並びに、夫々のブロックに入力されたデータを動画映像に復元する中間過程で共通に使用するDEC Memory203fが含まれている。

【0017】夫々のブロックは相互に独立的に該当する機能を実行し、DSCU203aが制御するパイプラインによって動作タイミングが決定される。ポストプロセッサ205は、映像デコーダ203を介して復元された動画映像を実際に外部表示装置で出力するための後処理を担当する。ポストプロセッサ205に含まれた機能などは実際に応用されるシステムの使用及び使用者などの要求条件に応じて多様な組合せを発生することができるので、独立的な機能などをハードウェアで具現し、その機能などの組合

せはプログラムが可能にすることによって特定用途に最適化することができる。ポストプロセッサ205に含まれる機能としては、外部表示装置を駆動するための表示制御インターフェース206、GUI (Graphic User Interface)などの機能を支援するために動画映像以外に追加的に文字を同時に表示できるOSD機能、動画映像の復元の際に発生されることができるマクロブロック間のブロッキング現象を減らせるように設計されたデブロッキングフィルタ (Deblocking filter) 機能、外部表示装置などを介して表される動画映像画面の大きさを調節する場合に使用される補間フィルタ (interpolation filter) 機能がある。ポストプロセッサ205とインターフェースされる各種入出力の表示制御インターフェース206には、外部の表示装置などとのデータ伝送のために必要なアドレス及びデータラインは勿論であり、付加的に表示装置の同期化に使用されるHSYNC/YSYNC信号などとポストプロセッサ205専用クロックなどが含まれる。

【0018】外部メモリコントローラ213は、外部に装着されるフレームメモリを制御するためのものであり、コプロセッサバス202またはメインバス211からのデータの場合には全て32ビットの大きさを有しているが、外部メモリのインターフェースは8ビットから32ビットまで可変である。外部メモリコントローラ213内部では外部フレームメモリ制御だけではなく、ROM形態のメモリの制御を実行するため、フレームメモリだけでなく初期システムの起動時にプログラムダウンロードのためにROM形態のメモリを使用することができる。

【0019】外部メモリコントローラ213の外部インターフェースの形式とビットの数とに応じて、ここではデータの同期を合わせるためのフォーマット変換（バイト単位のデータをまとめてワード単位のデータを生成する過程）を実行し、各マスター・プロセッサ(RISCプロセッサ207、DSCU DMA204、ポストDMA209、周辺装置DMA210中の一つ)のデータ伝送の大きさに応じて、バーストモードアクセス (burstmode access) を支援する。またDRAMのような形態のメモリが使用される場合、その再生のために自動リフレッシュ (auto refresh) 方式が採択され、(9.5+A) μsec毎にこれを実行する。ここで、Aはバス使用のための遅延時間であり、最大3.3 μsecである。外部メモリ制御インターフェース215は、外部メモリ即ちDRAM及びROM形態のメモリ制御のために使用される入出力であり、DRAMのようなメモリが使用される場合、キャス (CAS : Column Address Strobe) 、ラス (RAS : Row Address Strobe) 、クロック、ライトイネーブル (Write enable) 、アドレスバス、データバス、チップイネーブル (Chip enable) 、DQM (Data input/output Mask)などの信号とROM制御と関連されたメモリセレクト (select) 、ライトイネーブル信号などが含まれる。

【0020】周辺装置ブリッジ212は、各種の周辺装置

216とメインバス211とを連結するためのブリッジである。周辺装置ブリッジ212は、メインバスを基準として見た場合にはスレーブであるが、周辺装置216のローカルバス（周辺装置制御バス）を基準として見た場合には唯一なマスターの役割を実行する。また周辺装置ブリッジ212は、メインバス211のバス関連動作を周辺装置216のバス動作に変換して、同時にメインバス211のアドレスをデコーディングして周辺装置216の選択に必要な信号、データ伝送に必要なストロボ (strobe) 信号などを生成する。周辺装置DMA210は、周辺装置216に含まれた装置の中で外部メモリアクセスが要求される場合に使用されるDMAブロックである。周辺装置216は、システム応用の際に必要な各種機能を含む装置であり、別度のローカルバス（周辺装置制御バス）を介してデータ伝送を実行する。GPIO216aは、システム応用の際に多様な目的で使用されることができる凡庸の入出力端子である。

【0021】使用者は、プログラムによるレジスタ設定によって入出力を設定することができ、必要に応じてオープンドレイン (open-drain) で駆動することができる。従って、GPIO216aを使用するためには、入出力の方向、オープンドレイン及びプッシュ・プル (Push-pull) の設定、インタラプトマスク (interrupt mask) の設定によるマスキング、並びに、インタラプトコントローラのイネーブルビット (enable bit) 設定など、GPIO216aを使用するための環境が既に準備されるべきである。IIC216bは、最小限のピンを用いてLCDドライバ、EEPROM (Electrically Erasable Programmable ROM) 、リモードI/O (Input/Output) ポートなどを効果的に連結できるように支援する一種の直列バス (serial bus)

20コントローラである。IIC216bは、自身で発生する直列クロックを用いて、SDA (Serial Data) ピンを介してデータを伝送する。SPI216cは、マルチチャネル直列通信を支援する周辺装置としてマスター・モード及びスレーブモードで動作しながら、64Kbpsの伝送速度を支援する。ICU216dは、本発明の復元プロセッサ201の外部から発生される各種のインタラプト、周辺装置216内部で発生されるインタラプトなどを整理してRISCプロセッサ207へ伝達する。

【0022】各インタラプトソースにはイネーブルマスク (enable mask) とフラグビット (flag bit) があるので、該当されるソースを制限するように動作させることができる。TIMER216eには特定ビット単位でカウントアップ/ダウンを実行するタイマが含まれており、システム応用の際に各種タイミング基準 (timing reference) で使用される。PLL216fは、外部の低周波クロックの入力を受けて、内部により安定的な高周波のクロックを供給する機能を実行する。WDT216gは、システムの誤動作の場合に自身のタイマ機能を用いて、一定の時間が経た後には、ソフトフェアリセット (software reset) を発生する。IIS216hは、16ビット及び18ビットの音声

データ通信を支援する直列インターフェースである。凡庸のIIS方式を支援することだけでなく、大部分のステレオ音声コーデックで支援する左揃えモード(left-justified mode)と右揃えモード(right-justified mode)とを何れも支援する。

【0023】UART216iは、凡庸直列通信ポートである。図3は、図2で示した周辺装置216内のホストインターフェース(Host I/F)の構造を示すブロック図である。ホストインターフェース301は、外部のホストプロセッサ311から圧縮されたビットストリームを受ける経路、運用プログラムのダウンロードを受ける経路を提供する。外部のホストプロセッサ311からホストインターフェース301へ、また、ホストインターフェース301から外部のホストプロセッサ311へ双方方向データ伝送が可能になるように夫々20×32ビットのデータレジスタを有しており、ホストプロセッサ311とのフォーマット変換を支援するためのエンディアン変換(Endian conversion)が可能である。また、ホストインターフェース301内部にHDMAC(Host Direct Memory AccessController)307のような専用のDMAコントローラを内蔵しているので、入力されたデータをシステムバスへ伝達するとかホストプロセッサ311へ伝送するために効果的に用いられる。内部デッギング及びホストプロセッサ311とのメッセージ送信/受信などを支援するためにコマンドレジスタ(command register)を提供する。

【0024】ホストインターフェース301の信号310を介して外部と連結されるアドレスバスは5ビットであり、データバスは16ビットであり、ホストプロセッサ311との通信を簡素化するためにハンドシェイク信号のやり取りは行わない。このような構造のホストインターフェース301は次のような機能を実行する。一番目に、ホストプロセッサ311からプログラムのダウンロードを受ける。二番目に、ホストプロセッサ311から圧縮ビットストリームの伝送を受ける。三番目に、ホストプロセッサ311へ必要なデータを伝送する。四番目に、ホストプロセッサ311と復元プロセッサ201とのデータ交換時にデータ形式変換を実行する。五番目に、データ送信/受信時に内蔵されたバッファが完全に満ちているまたは空いている場合にインターラプトを発生させる。六番目に、ホストプロセッサ311とのデータ伝送とは別度にコマンドまたはメッセージ交換のためのレジスタを提供し、特にコマンドの送信/受信の場合にはインターラプトを発生して、デッギングが容易になるようとする。七番目に、ホストプロセッサ311とのデータ交換時にDMAを用いる。HDMAC307は、ホストプロセッサ311から受信したデータ、または、復元プロセッサ201がホストプロセッサ311へ伝送しようとするデータを、RISCプロセッサ207の介入がなくても、処理できるように支援する。HDMAC307は、ホストインターフェース301に内蔵された20個のバッファが完全に満ちているまたは空いている場

合に動作開始イベントを発生して、DMA動作を始める。

【0025】特に、ホストプロセッサ311とのデータ交換のみならず、復元プロセッサ201の起動プロセッサにも関与し、信号310の中のBOOT-Sel信号が1である状態で、ホストプロセッサ311が特定容量のデータを使うための要求を始める場合に、HPIコントローラ309は、ホスト起動プロセッサを始めとして、ホストプロセッサ311から入力されるデータを外部メモリに貯蔵してシステム起動を試みることになる。BOOT-Sel信号が0である状態でDMA使用要求が入力されると、HDMAC307は、外部領域(主にフラッシュメモリが連結された外部入出力端子であり、システムバス306を介して連結される)から特定容量のデータを読んで外部メモリへ伝送し、以降はROMブートプロセッサを始めることになる。システムバス306は、HDMAC307と図2のメインバス211とに連結されるデータライン及びアドレスラインを表す。周辺装置バス304は、図2の周辺装置216内部に連結された各種装置などが共通で使用する局部バスである。周辺装置バスインターフェース303は、ホストインターフェース301が周辺装置バス304を介して通信するために必要なバス制御インターフェース信号を発生させる。

【0026】HPIコントローラ309は、ホストインターフェース301を制御するための各種信号と外部インターラプトとを発生し、レジスタ302は、ホストプロセッサ311とのデータ交換時に使用されるバッファ用のレジスタを示す。図4は、図2で示した映像デコーダ203の中で、動画映像復元の場合、マクロブロック水準で各ブロックなどの動作順序を制御し、また、各ブロックで発生されるインターラプトを統括し、RISCプロセッサ207とのインターフェースを提供するDSCU203aのブロック図である。コプロセッサインターフェース402は、RISCプロセッサ207と映像デコーダ203またはポストプロセッサ205の各ブロックとが連結されるためのインターフェースを制御する。コプロセッサインターフェース402は、RISCインターフェース401を介して入出力されるデータ、アドレス及び制御信号などを用いて、RISCプロセッサ207から発生されるコプロセッサ命令のデータを分析する。次いで、何れかのブロックのレジスタ読み/書き及びDEC Memory203fのアクセスに必要であるかを決定して、各ブロックに対して適切な制御信号を生成して分配する。DSCUレジスタ403は、レジスタ及びメモリ読み/書き406を介して生成される各種制御信号に関わるデータを貯蔵するためのものであって、局部メモリであるDEC Memory203fの読み/書きの際に使用するメモリの開始アドレスと終了アドレスとを指定するためのデータを貯蔵する。

【0027】ステートマシン404は、DSCU203aの動作を制御するためのFSM(Finite State Machine)であり、INTCON&DBG-IF407及びSIG-GEN408は、映像デコーダ203の各ブロックなどから発生されるインターラプト要求信

号を受け入れると共に、ステートマシン404 から発生される各種制御信号などをブロック毎に生成する。この場合、各ブロックから発生されたインターラプト要求はINTC ON&DBG-IF407を介してRISCプロセッサ207 へ入力される。図5及び図6は、コプロセッサインターフェース402 で使用されるコプロセッサ命令セットに対する説明図である。図5は、図2の映像デコーダ203 に含まれた各ブロックのレジスタの読み／書きに使用される命令501 の形式である。Cond502 はこの命令を実行するかを判断するために使用される条件領域であって、CP0pc503は各ブロックを区別するための認識領域である。CP0pc503は3 ビットから構成され、その値が000 である場合はDSCU203a、001である場合はVLD203ba、010 である場合はRVL D203bb 、011 である場合はADR203e 、100 である場合はIDCT203ca 、110 である場合はMC203d、111 である場合はポストプロセッサ205 を表す。L504はレジスタ読み／書きを区分するために使用されるものであって、CRn5 05は使用するレジスタアドレスの上位4ビットを表す。Rd506 はRISCプロセッサ207 の内部レジスタの中で現在使用しようとするレジスタ番号を示し、CRn608は使用しようとするレジスタアドレスの下位4ビットを表す。CP #507 とCP509 とは次後の拡張された機能を使用できるように残された領域である。

【0028】図6は、映像デコーダ203 に含まれた各ブロックが外部メモリを読むまたは書く際に使用する命令の形式である。映像デコーダ203 の内部の各ブロックはメインバス211 と直接的に連結されないので、各ブロックが外部メモリを使用しようとなれば命令601 を用いてRISCプロセッサ207 に知らせ、再びRISCプロセッサ207 はメインバス211 を介してデータのアクセスができるようになる。図5と同様に、Cond602 はこの命令を実行するかを判断するために使用される条件領域であって、P/U/N/W/L604はメモリの読み／書きを決定する。Rn604 は各ブロックの内部レジスタを表し、CRd605は何れのメモリを使用するかを決める。CRd605は4 ビットから構成され、0000であると外部メモリを、0001であると映像デコーダ203 内部のDEC Memory203fを、0010であると映像デコーダ203 内部のADR203e に使用される局部メモリを、0011であると映像デコーダ203 内部に使用されるIQ203c b の局部バッファを、0100から0101までは映像デコーダ203 内部のMC203dに使用される局部メモリを、0101から1101まではポストプロセッサ205 内部ブロックの局部メモリを表す。Offset607 はメモリアクセスの際に使用するための即時オフセット(immediate offset) 値であり、CP #606 は次後の拡張された機能を適用するために残された部分である。図7は、図4に示したコプロセッサインターフェース402 の構成図である。パイプラインフォロワー(pipeline follower) 702 は、RISCプロセッサ207のパイプライン各段階に合わせて次の動作を決める。

【0029】レジスタ読み／書きコントローラ704 及びSRAM読み／書きコントローラ705 は、夫々映像デコーダ203 の各ブロックレジスタを制御したり、メモリ読み／書きのために使用される制御信号を生成する。この際、RISCプロセッサ207 は、コプロセッサインターフェース402 のために各コプロセッサから発生されるパイプラインステージ関連信号を参照することになるが、ステートマシーン703 は、この信号などを映像デコーダ203 に含まれた夫々のブロックに合わせるように生成する機能を実行する。RISCプロセッサ207 とのハンドシェイクのための状態は下記のような四つであり、コプロセッサの状況に応じて適切な状態遷移を実行する。四つは、コプロセッサがなくて、コプロセッサは存在するが、早速命令を実行することができなくて、コプロセッサ命令を早速実行できる状態であるが、動作の終了のためには実行サイクルが更に必要であり、コプロセッサ命令の動作が終了される。図8は、図2で示した映像デコーダ203 のDS CU203aと各ブロックとの間の入出力信号関係を示したタイミング図である。DSCU203aは、基本的に順次的な順序制御を実行し、各ブロックなどの動作開始信号801 及びイネーブル区間信号802 を出力し、また各ブロックの動作終了を告げる指示信号が入力される。

【0030】正常な動作では一つのマクロブロックに対する復号が完了されるとインターラプトを発生させ、状態モニタリングまたは特定ブロックの動作をソフトウェアに代替しようとする場合には、クロック804 の動作開始時点または終了時点でインターラプトを発行するように設定することができる。また、各ブロックなどの動作中にエラーが発生すると進行している全ての動作を中止して、インターラプトを発生させる。各ブロックはイネーブル区間信号802 の間だけクロックが供給されて動作するので、選択されないブロックは全て動作しない状態になり、従って全体的な電力消費を減らすことできる。また、DSCU203aは指示信号803 を受けた後、次のブロックの動作を指示するリクエスト信号を生成する。

【0031】図9は、このようなDSCU203aの状態遷移図である。ST-INIT901はマクロブロック単位の復号を始める状態であり、VLD203baを用いる順方向復号である場合に処理するブロック番号は0 であり、RVLD203bb を用いる逆方向復号である場合に処理するブロック番号は5 になる。図9で示された状態遷移のために使用されるOP-0 FF[N] 変数が0 である場合、正常動作を意味し、1 である場合には該当される動作が実行されないことを示す。ここで、N は夫々のブロックなどを示しており、0 であるとVLD203ba、1 であるとRVLD203bb 、3 であるとADR2 03e 、4 であるとIDCT203ca 、5 であるとMC203dを夫々示す。従って、ST-VLD902 、ST-RVLD903 、ST-ADR904 、ST-IDCT905 、ST-MC907は、夫々VLD203bb 、RVLD203bb 、IDCT203ca 、MC203dがイネーブルになって特定機能が実行されている状態を表示する。ST-WAIT909は、MC203dを

実行するために必要である以前フレーム及び現在フレームのピクセルデータ読み取り過程が完了されない場合、この動作が完了されるまでの待機状態を示す。

【0032】dscu-done908は一つのマクロブロックに対する復号過程が完了されたことを示す状態であり、インターラプトを発生して、全ての復号過程の完了を表示する。Update-bn906は一つのマクロブロックに含まれる六つのブロックの中一つのブロックが完了される際に、ブロック番号を増加させると共に、次のブロックの信号過程として遷移する段階の状態である。idle900 はDSCU203aが待機状態にあることを示す部分であって、レジスタの設定によってDSCU203aの始まりを告げるとST-INIT901状態に遷移して復号過程を始める。DSCU203a内部のインターラプトコントローラは各ブロックの開始時点及び終了時点でのインターラプトが発生するように制御し、一つのマクロブロックに対する復号が完了されるまたはエラーによって動作が中止される場合にもインターラプト発生が可能である。

【0033】その他にもビットストリームが貯蔵されたVLD203baの入力バッファが空いた状態であるため、発生されたインターラプトまたはポストプロセッサ205 のインターラプト要求などを受け入れてRISCプロセッサ207 のインターラプト関連ピンに入力する。図10は、DSCU203aによる復号パイプラインの構成を示す。H.263/H.261 及びMPEG-4のような動画映像関連標準の復号過程に応じてDSCU203aはVLD203baまたはRVLD203bb → ADR203e→IDCT203ca → MC203dの過程でパイプライン段階を区分し、前述したDSCU203aの制御信号に応じて該当されるブロックがイネーブルされることによって、動画映像信号の復号が順次行われる。この際、ロードリファレンス1002のようにVLD203baまたはRVLD203bb とADR203e とが実行される間、外部フレームに対するアクセスが不要であるため、MC203d段階で使用される以前フレーム及び現在フレームのデータを前もってアクセスすることによって全体的な復号時間を最小化することができる。

【0034】映像デコーダ203 内部のVLD203baは、ハフマン方式で符号化されたビットストリームを復号するために使用されるハードウェアである。VLD203baは、圧縮されたビットストリームを1ビットではなく、1コード単位で処理する。そのためには、VLD203baのバッファに予め貯蔵されている各係数の値を復号する前に、バッファで以前に復号されたコードのビット数ほどバレルシフタ (barrel shifter) を用いてビットストリームを入力させるべきである。映像デコーダ203 のVLD203baはテクスチャ(texture) 情報だけ復号するので(実際に映像ヘッド、マクロブロックヘッドなどの上位情報などはRISCプロセッサ207 でソフトウェア的に処理されるためVLD203baではこれに対する処理を実行する必要がない)、現在処理しようとするマクロブロックがどのようなモードであるかに応じてAC係数及びDC係数に該当されるテーブル

を使用して復号を実行すれば良い。図11は、VLD203baのブロック構成図である。モード読み／書きレジスタ1111は、VLD ブロックの全体的な動作と細部モードとを決定するために使用される内部レジスタである。VLD 入力バッファ1112に32ビット毎に貯蔵されているデータを効率的に使用するために、バレルシフタ1104の64ビットバッファを使用して復号されたデータのビット数が32を超える度にバレルシフタ1104の下位32ビットデータを上位32ビット位置で満たし、同時にVLD 入力バッファ1112にビットストリームを要求して下位32ビットを新たなデータで満たした後、VLD 入力バッファ1112のアドレスを1だけ増加させる。

【0035】この際、増加された値が予め貯蔵されたバッファの大きさ(バッファの下限線を示す大きさ)と同じである場合にはバッファが空いているという情報をDSCU203aに告げ、DSCU203aはどのような状況で発生した信号であるかを判断してRISCプロセッサ207 にインターラプトを発生することになる。同時にVLD203baは、VLD 入力バッファ1112のアドレスを0で初期化しながらDSCU203ba で再び復号を始めるという命令を受けるまで待つ。入力バッファコントローラ1113は、入力バッファに貯蔵されているビットストリームを32ビット単位で持ってくるためメモリアクセスに関連された制御信号などを生成して、テクスチャ情報を復号するためにビットストリームの開始位置情報をRISCプロセッサ207 から受けた復号が完了された場合、ビットストリームの何れの位置まで復号されたかをRISCプロセッサ207 に告げる。また、既に貯蔵されたビットストリームを検査して1コードを処理するに不足である場合、VLD 入力バッファ1112が空いているというインターラプトを発生する。バレルシフタ1104は、1コードを処理するために入力バッファコントローラ1113で出力された32ビットデータを再び整列させて復号ブロックへ送る役割を実行し、二つの32ビットレジスタと一つの64マルチプレクサ(MUX)とを有する。

【0036】DC係数デコーダ1110、AC係数デコーダ1109 及びACテーブル1108は、32ビット単位のテーブルをそのモードに応じてテーブルに貯蔵されたコードと比較して相応するエントリーを探し出す。この比較過程で、入力されたデータに対するエントリーがテーブルにない場合、エラーが発生したことをRISCプロセッサ207 に告げ、VLD203baは待機状態に入る。比較過程は先ず入力データの上位7ビットを用いてこれがエスケープコード (escape code) であるかを判別した後、再び上位12ビットを4ビットから構成された三つの領域に区分して、このデータを用いてテーブルを八つのグループに分離する。この際、同一のグループの中では入力データ自体が選択因子になって自身に該当されるコードを速く探せる。DC係数デコーダ1110はMPEG-4で指定されたことによって、インターラ DCテーブルを使用する場合のみに動作するブロックである。デスキヤナテーブル1103及びデスキ

ヤナ1102は、VLD203baまたはRVLD203bb のデスキャニング (descanning) 及びVLD203baの全体動作制御のための各サーブブロックのスケジューリングを実行する。

【0037】DSCU203aから復号時間信号が入力されると、DEC Memory203fに復号されたデータを書くためにDC係数デコーダ1110、AC係数デコーダ1109及びACテーブル1108に夫々復号要求信号を出力して復号を始める。各復号過程が完了される度に、DEC Memory203fのポイントを一つずつ増加させると共に、DC係数デコーダ1110、AC係数デコーダ1109及びACテーブル1108で探すコードをVLD入力バッファ1112に貯蔵する。この過程で 8×8 ブロックに対する処理が完了されると、ACテーブル1108及びAC係数デコーダ1109の復号結果である最終信号を確認して、1である場合、正常にVLD203baの動作が完了したことをDSCU203aに告げる。この値が0であると正常な復号が実行されなかつことであるので、エラーが発生したことをDSCU203aに告げ、VLD203baの動作を終了する。

【0038】MPEG-4の場合にVLD203a は次のような五つのモードが使用されて、夫々のモードに応じて復号する過程は少しずつ異なる。一番目にresync marker enable with data partitioned and VLD used modeで、二番目に resync marker enable with data partitioned and RVLD used で、三番目に resync marker enable with data combined and VLD used で、四番目にresync marker disable with VLD used で、五番目に short video header (H.263 mode) である。映像デコーダ203 のRVLD203bb は、エラー耐性向上のために逆方向への復号が可能な機能を支援する。入力される動画映像ストリーム内にエラーが存在する場合、順方向復号を進行する途中、エラーが発見されるとRVLD203bb は該当されるビデオパケットの端地点から逆方向へ復号を進行し、復号可能なビット列を最大限に増加させることができるのである。VLD203baと共にRVLD203bb を用いるとエラーが発生した場合、その発生位置をある程度極小化させることができるので、ビデオパケットの中、エラーではないと判断される区間があればその区間では正常な復号を実行することができる。

【0039】この場合、エラーの発生範囲をある程度極小化できるかは、実際にエラーが発生した位置からRVLD203bb がこのエラーを検出する位置までの距離分布によって決定される。このようにRVLD203bb を使用すると、エラー発生位置からエラー検出位置までの長さが比較的小さくて一定の値以内に大部分が入るので、エラーではないキャッシュでブロックを効果的に分離することができる。なお、1105はAC/DCセレクタ、1106はクロック発生器、1107はマルチプレクサ (MUX) である。図12は、前述した機能を有するRVLD203bb 構成図である。図13は、入力バッファ1203の詳細図である。入力バッファ部1203は32ビットの二つのレジスタ1302、1303と、 64×32 マルチプレクサ (MUX) 1301と、メモリのアドレス及び

制御信号を生成する制御部1306とを有する。図13のレジスタであるU32(1302) とL32(1303) とは、夫々上位、下位32ビット入力データを表し、マルチプレクサ1301はAC C-LEN の値に応じて図12のCLUST-DEC1202 に入力されるデータを作り出す。制御部に入力される信号であるSA [4 : 0]は復号しようとするビットストリームに始まるアドレスを示し、DIR は復号しようとする方向、LEN は以前に復号されたコードワードの長さを夫々表す。

【0040】特に、LEN の値は持続的に累積されるため、その累積の値はACC-LEN にあらわれる。このACC-LEN 信号は32ビットのデータの中で、U32(1302) 及びL32(1303) の何れを使用するかを選択する信号になる。ACC-LEN が34ビット以上である場合にL32(1303) はU32(1302) に移動され、メモリで次にkuるアドレスの値が入力され、ACC-LEN=AC-LEN-32 に更新される。CLUST-DEC1202 とルックアップテーブル (LUT) 1201から構成されるクラスタ復号器は、コードワードの特性によって分類して、貯蔵されたルックアップテーブルのインデックスと復号されたコードワードの長さとを生成する。クラスタは大きく三つに分けることができ、コードワードを16ビットで拡張する場合に上位Nビットの値が第1クラスタの値 (C1V) になる。第2クラスタが例えばAのような類型のパターンを有するように整列され、第2クラスタの復号値 (C2V) というものは第2クラスタに該当する上位Nビットを除いて連続された1または0の個数になる。第3クラスタもAの類型を有し、第1、第2クラスタに該当するビット列を除いて連続された1または0の個数が第3クラスタの値(C3V) になる。このように生成されたC1V 、C2V 、C3V を有するルックアップテーブル1201を参照してインデックス及び長さを生成する。

【0041】FSM (Finite State Machine) 1206はRVLD203bb の動作シーケンスを制御する。FSM1206 の制御信号を用いてRVLD203bb は、スキャン及び復号動作を実行して、逆方向復号の場合にはリワインド (rewind) 動作などを実行する。VLD 入力バッファ1112が空いている場合には、VLD 入力バッファ1112にビットストリームが再び満たされるまで動作を中止することになり、復号途中にエラーが発生すれば該当されるフラグを1 で設定して終了する。MPEG-4動画映像符号化アルゴリズムでは、符号化の効率を高めるためにDCT 係数を正しく可変長符号化することではなく、隣接した上側のブロックまたは左側のブロックのDCT 係数を使用して演算された差分値のみを可変長符号化する。これをAC/DC 係数予測と言い、映像デコーダ203 のADR203e はその反対過程を実行する。なお、1304は反転部であり、1305はVLD ビットストリームバッファである。映像デコーダC203は、RVLD203bb とMC203dとRISCプロセッサ207 とで実行されるソフトウェアを用いてエラー検出及び隠匿 (concealment) 機能を実行する。エラーの検出では、前述したRVLD203bを用いて、各マクロブロックはエラーが発生された形態に

応じて次のような制御モードによって隠匿が行われる。

【0042】現在処理中であるマクロブロックで発生できるエラーの形態は、マクロブロックの形態がイントラ(intra)であるかまたはインター(inter)であるかによって、入力されたデータパケットのヘッダ部分ではDC成分の可否によって、また現在マクロブロックの隣接した上側に位置するブロックからDC係数を使用することができるか否かに応じて13個のモードに分けられる。現在発生されたエラーに対してこのように各モード毎にソフトウェアの方式にマクロブロックヘッド及びその他の制御変数を設定する。特定ハードウェアをエラー隠匿モードで動作させるかを表すことと、現在マクロブロックのDC係数を隣接した下の行に位置するマクロブロックで使用することができるかを示すための変数が、その他の制御変数に含まれる。これは、現在復号したエラーが隣接した次の行に持続的に伝播されないようにするためにである。

【0043】発生されるエラーの形態と隠匿の方法とは次のようにある。一番目に、現在入力されたデータパケットに対してエラーが全く検出されない場合と、二番目に、第2パートテクスチャ(second part texture)でエラーは検出されたが、データパケット中のエラー極小化過程によって正常復号が可能な場合とがある。三番目に、テクスチャエラーが発生して現在フレームがイントラであり、復号されたDC係数がなく、隣接した上側に位置するブロックのDC係数を使用することができる場合、隣接した上側ブロックのDC係数を持ってくる方法でエラー隠匿を実行するが、このように復号した一部マクロブロックのヘッダ及び制御変数は、隣接した下側に位置するマクロブロックで現在マクロブロックのDC係数を参照しないように処理する。四番目に、テクスチャエラーが発生し、現在フレームがイントラであり、復号したDC係数がなくて、隣接した上側に位置するマクロブロックのDC係数を使用することができない場合には、以前フレームのような位置のマクロブロックに代替されるようになる。五番目に、テクスチャエラーが発生し、現在フレームがイントラであり、DC係数がある場合には、DC係数の復元だけを実行する。六番目に、テクスチャエラーが発生して、現在フレームがイントラである場合には、動きベクターがいつもあるので、これを用いて以前フレームから該当されるピクセルデータを持ってくる。

【0044】七番目に、第2パートヘッド(second part header)にエラーが発生して、現在フレームがイントラであると共に復号されたDC係数がなくて隣接した上側に位置するマクロブロックのDC係数がある場合には、上側ブロックのDC係数を使用する。八番目に、第2パートヘッドにエラーが発生して、復号されたDC係数がなくて隣接した上側に位置するマクロブロックのDC係数を使用することができない場合には、以前フレームの同一の位置からピクセルデータを持ってくる。九番目に、第2バ

ートヘッドにエラーが発生して、現在のマクロブロックがイントラであり、復号されたDC係数がある場合には、DC係数だけを復号する。十番目に、第2パートヘッドにエラーが発生して、現在フレームがインターである場合には、動きベクターが存在するので、これを用いて以前フレームから該当される位置からピクセルデータを持ってくる。十一番目に、第1パート(first part)でエラーが発生して、現在フレームがイントラであり、隣接した上側に存在するブロックのDC係数を使用することができる場合と、十二番目に、第1パートでエラーが発生して、現在フレームがイントラであり、隣接した上側に位置するブロックのDC係数を使用することができない場合とでは、以前フレームの同一の位置からピクセルデータを持ってくる。十三番目に、第1パートでエラーが発生して、現在フレームがインターである場合には、現在処理中であるマクロブロックがイントラであるときに以前フレームと同一の位置のピクセルデータを用いて復号し、現在処理しようとするマクロブロックがインターであるときにマクロブロックのエラー隠匿機能を用いて動きベクターを抽出し、以前フレームに該当される位置のピクセルデータを用いて復号する。

【0045】図14は、MPEG-4の映像テクスチャ復元過程を示す図である。可変長符号復号化過程S1401は、可変長符号化されたビットストリームを復号して、AC/DC予測された離散コサイン変換係数を出力する過程である。逆スキヤン過程S1402は、上記のS1401過程のAC/DC予測された離散コサイン変換係数の出力を 8×8 ピクセルのブロック単位でAC/DC係数予測方向とAC予測可否とに応じてジグザグスキヤン、横方向スキヤンまたは縦方向スキヤンを行う過程である。AC/DC係数復元過程S1403は、復号器で行ったAC/DC係数予測の反対過程を実行する過程である。逆量子化過程S1404で逆量子化を行って、逆離散コサイン変換過程S1405で逆離散コサイン変換を行って、周波数領域の映像データを空間領域に変える。動き補償過程S1406は、S1405過程の出力と動きベクターと以前フレーム復号結果による予測映像データとを加えて最終的に復号された映像を出力する過程である。

【0046】前述した過程は少なくとも 8×8 ピクセルから構成されるブロック単位に行われ、ADR203eはS1403過程を実行する。ADR203eは、DSCU203aを経てコプロセッサバス202に連結されて、必要な場合にRISCプロセッサ207でADRメモリまたはレジスタを読んで書くことができる。また、ADR203eは、一つのブロックの動作が完了されるとDSCU203aにその状況を告げ、VLD203baまたはRVLD203bbは、ADR203eが動作する際に必要な最大行の数字(8×8 ブロックで何番目の行まで0ではない係数があるかを示す因子)を告げると共に、VLDまたはRVLDに次のブロックの予測方向を渡す。図15は、ADR203eの動作のフローチャートを示す。S1500段階では、一つ

のブロックに対するAC/DC係数の復元をするために必要な変数などを初期化する。S1501段階では、現在処理しようとするマクロブロックのADR203eがエラー隠匿モードに動作するかを判断して、そうであるとS1509段階を実行し、そうではないとS1502段階を実行する。S1501段階はプログラムによって使用者が選択する。S1509段階では、DC係数を隠匿するために、上側へ隣接するブロックのDC係数を現在ブロックのDC係数にコピーする機能を実行する。S1502段階では、現在処理しようとするブロックが属したマクロブロックの形態を判断して、イントラである場合にはS1503段階を実行して、イントラではない場合、即ちインターである場合にはS1504段階を実行する。

【0047】S1503段階では、DC係数を復元し、S1508段階では、次のブロックの予測方向を決定する。次のブロックの予測方向を決定するのは、次のブロックのAC/DC係数復元前に実行される逆スキャン過程で(図14のS1402過程)そのブロックの予測方向に対する情報が必要になるためである。S1506段階では、AC係数を復元して、S1507段階では、次のブロックのAC/DC係数復元に必要な変数を先に更新する。S1502段階で現在ブロックが属したマクロブロックの形態がインターである場合、S1504段階を実行するためにS1505段階で次のブロックの予測方向を決定する。これはインターマクロブロックの後にイントラマクロブロック、即ち予測方向情報が必要なマクロブロックがくることもできるためである。映像デコーダ203のIQ203bは、IDCT203caがDEC Memory203fからDCTに変換された係数を読んでいく度に逆量子化の過程を実行する。

【0048】特にH.263MPEG-4とは違ってMPEG-4の方式によって量子化されたデータが入力される場合にはミスマッチ制御(mismatch control)を実行するために、その結果で一つのブロックに対して64番目の係数の値が初期に入力された値とは違うときもあるため、この変化をIDCT203ca及びMC203dに知らせる。図16は、このようなIQとIDCTとのインターフェースに関する構成図である。IQ203cbは、IDCT203caから処理されたデータの入力を受けて逆量子化を実行した結果を直ぐ次のクロックに出力する。特にミスマッチ制御を実行する場合に、MAX-ROW番目行の最後の係数が出力されるとき、DO-MISMATCH-CTRL値を1に変えてIDCT203caへ伝達されるMAX-ROW-NEWの値を7に変えることになる。IDCT203caは各行の一次元の逆離散コサイン変換及び逆量子化が完了される度にMAX-ROW-NEWの値を確認して現在行の番号がMAX-ROWと同じになるまで、一次元逆離散コサイン変換を実行する。またDO-MISMATCH-CTRLの値が1であるとCBP-NEWは無条件に1になり、この値はMC203dの動き補償に必要なCBP(Coded Block Pattern)値に提供される。

【0049】なお、1605はレジスタファイルである。図17は、IQ203cbで実行する動作の一つの例を示す図であ

る。CLK1700はIQ203cb内部で使用される動作クロックであり、IQ-EN1701はIQ203cdの動作を制御するイネーブル信号である。ADDR1702は一つのブロックの係数位置を示すアドレスであり、IQ-IN1703はIQ203cbへ入力されるデータである。ウエイト(weight)1704は逆量子化を実行するために使用される加重値であり、IQ-OUT1705は計算結果として出力されるデータである。MAX-ROW-NEW1706は、64個の係数を計算した後にミスマッチ制御を実行しなくて、VLD203baから出力されるMAX-ROWの値

(この値は現在処理しようとするブロックで0ではない係数が含まれた行の数を示す)によって更新される新たな行の値である。正常モードでIDCT203caは、一つのブロックの係数に対して無条件に一番目行に対する逆量子化及び一次元逆量子化変換を実行する。そして現在の行の数字がMAX-ROW-NEW1706より小さい場合に、次の行に対して逆量子化及び一次元逆離散コサイン変換を実行する。

【0050】このようにMAX-ROW-NEW1706のくらゐのみ一次元逆コサイン変換を実行すればIDCT203caの電力消費を減らせる長所がある。図17で初期にMAX-ROW-NEW1706の値は0であったが、IQ203cbが一番目の行に対する逆量子化を計算した結果とVLDから入力されたMAX-ROWの結果とを組合せてdo-mismatch-ctrl11707信号を更新する。ミスマッチ制御は基本的に64個の係数が完成されなければ実行することができないものであり、VLD203baでは現在処理しようとするブロックの0ではない係数が含まれた行の番号を出力するので、この値を用いてミスマッチ演算を先に実行することができる。しかし、この演算結果が偶数または奇数であるかに応じて、そのブロ

30 ックの64番目の係数の値を変えることができるので、計算結果が偶数であると残りの全ての行に対する逆量子化を実行し、反対に奇数であると現在状態そのまま演算を完了する。図18は、IQ-OUT1705信号で演算された値の結果を偶数とした場合に、上述した条件に応じて残りの全ての行も逆量子化演算を実行する過程を示す。映像デコーダ203のIDCT203caは、輝度と色差とで表現される周波数領域の映像信号を時間領域に変換させる。図18は、一次元IDCTの構成を示すブロック図である。実際に動画映像データの逆離散コサイン変換のためには、図18の一次元逆離散コサイン変換を二回を続けて実行することによって二次元逆離散コサイン変換を実現する。

【0051】データラッチ1800は、IDCT203caへ入力されるデータを貯蔵するデータラッチとして、RAC(ROM Accumulator)1805、1806に入力される場合にはROMデータをアクセスするためのアドレスで使用する。バタフライ1801は、ROMテーブルが要らなくてy0及びy4に対してバタフライ演算を実行する。RAC1805は、y2とy6入との力に対して二つのROMテーブルを用いて分散演算を実行し、RAC1806は、y1、y3、y5、y7に対して四つのROMテーブルを用いて分散演算を実行する。バタフライ1802

は、バタフライ1801とRAC1805 とから出力されるデータの値を用いて二次バタフライ演算を実行する。演算部1803は、RAC1805 の出力及びバタフライ1802の出力を全て同一な正密度を有するように補正し、バタフライ1801、バタフライ1802及びRAC1805 を演算する過程で発生する誤差に対する補償を実行する。また一次元逆離散コサイン変換を実行した結果を次に続く二番目の一次元逆離散コサイン変換の入力に使用するために切上げ／切捨て演算 (rounding/clipping) を実行する。

【0052】また演算部1803は、次の二番目の一次元逆離散コサイン変換演算の際にも同一の目的で使用される。数の桁1804は、夫々の演算ブロックで出力されるデータの整数の桁と小数点以下の桁とを示す。図19は、IQ203cb とIDCT203ca とを用いるデータ流れ図である。XIND発生部1903は、二次元逆離散コサイン変換が完了された場合にXIND信号を発生させる回路であり、条件判断部1904は、逆離散コサイン変換実行条件を判断するブロックとして現在処理しようとするマクロブロックがインターであり、CBP = 0 である場合に、逆離散コサイン変換動作自体を省略することができるよう制御する。また現在処理しようとするマクロブロックがイントラであり、CBP = 0 である場合、またはH.263 量子化モードである場合に、入力されるデータに対して右側シフトだけ実行することができるよう制御する。

IQ203cb は、前述した逆量子化機能を実行しCBP の値を更新して、信号発生部1906は一番目に実行される一次元逆離散コサイン変換の演算が終了されたことを示す信号を生成し、追加的に逆量子化の動作空間制御のための信号を発生する。

【0053】カウンタ1907は、IDCT203ca 全体の動作を制御するために使用されるカウンタであり、基本的なIDCT203ca のパイプラインを制御する。二次元逆離散コサイン変換を実行する際に、横方向の一次元逆離散コサイン変換を実行する場合、入力されるデータに対する逆量子化がなされるため、パイプラインの構造上、逆量子化が終わったデータに対するラッチ処理を実行する。しかし、次の縦方向の一次元逆離散コサイン変換の場合には、このような過程が必要ではないが、パイプラインのタイミングを合わせるためにラッチ処理に、第2レジスタ1908を使用する。制御信号発生部1909は、IDCT203ca の演算結果を貯蔵するべくDEC Memory203fをアクセスするために必要な制御信号などを生成する。

IDCT流れ制御部1911は、二番目の一次元逆離散コサイン変換の流れを制御するブロックとして一番目の一次元逆離散コサイン変換を実行する際にはDEC Memory203fに貯蔵されたデータ (VLD で出力された結果) が入力され、これに逆量子化を施した結果がQoutに貯蔵される。

二番目の一次元逆離散コサイン変換を実行する際にはy0 -y7 、Bin0-Bin7 に貯蔵されたデータを用いることになり、同時にload-step1、load-step2を経ながら最終結果

をDEC Memory203fに貯蔵できるようになる。

RAC1912 は、分散演算に使用されるブロックであり、前述した図18のバタフライ1801、1802が含まれる。

逆離散コサイン変換演算でデータロード→逆離散コサイン変換→データ貯蔵の一連過程を処理するために各段階が夫々16サイクル毎に必要になるすると、1ブロックデータに該当される64個のピクセルを処理するために要求される二次元逆離散コサイン変換の総所要サイクルは320 になる。

- 10 【0054】QCIF大きさの映像データを処理する場合、15フレーム/sec の速度で動画映像が処理されるためには逆離散コサイン変換の演算量は2,851,200 サイクルに至る。従来ではこのように多い演算量を減らすために、インターマクロブロックの場合には離散コサイン変換を実行した際に得られる全ての係数が0であるとき、または、或いはイントラマクロブロックの場合にはDC係数を除いた残りの値が0であるとき、CBP = 0 という情報を用いて逆離散コサイン変換を省略する方法を使用した。しかし、実際に映像圧縮のために外部から入力される係数の値が全体64個のピクセルデータに均等に分布しなくて離散コサイン変換の特性上低い周波数領域である左側の上端に集中的に分布する特性を用いると、演算量をもっと減らすことができる。従来にはこのような特性を用いて離散コサイン変換を一部ピクセルだけに実行して演算量と電力消耗とを最小化する方法などが映像圧縮装置で提案されたが、0ではない係数を0でコーティングすることによって画質の劣化が発生する可能性があり、離散コサイン変換の演算範囲を決定する制御部回路が複雑になる短所があった。
- 20 【0055】図19のIDCT203ca は、DCT を通過したデータが低い周波数領域に集中される特徴を用いて、画質劣化がなくIDCT203ca の計算量を減らすために、逆スキヤン、DC/AC係数予測、IQ203cb 内部のミスマッチ制御回路を用いる局部的な逆離散コサイン変換 (regional I DCT) 機能を提供する。図20は、映像デコーダ203 内のMC203dの構成図である。MC203dは、IDCT 203caから出力されるデータと動きベクターとを用いた動き補償を実行する。MVP-PRED2001は、48×9 の局部メモリ (LM) を内蔵しており、現在処理中であるブロック、マクロブロックと隣接した三つのブロック及びマクロブロックの動きベクター値の中での中间値を予測動きベクターの値で抽出し、これを入力された動きベクターの差分値と合わせて最終的な動きベクターを計算する。この際、局部メモリ (LM) は隣接したブロックの動きベクターの値を貯蔵している。また、他の局部メモリ (LM) 2004は、参照しようとするブロックまたは現在処理中であるブロックの計算結果を貯蔵するために使用し、大きさは72×8 ピットである。REG-FILE2005は、RISCプロセッサ207 から制御モード及び動作モードに関連されたデータの入力を受け、状態レジスタの値をRISCプロセッサ207 が読むこと
- 40

ができるように制御する。

【0056】MC-CTRL2006は、動き補償のための全ての動作を制御するために大きく四つの動作モードに区分される。一番目モードでは、現在の動きベクターを求めるために直ぐ上方に位置するマクロブロックの動きベクターの値を用いるとか、または動きベクターの値を0にして以前フレームから参照しようとするプロックのデータを読み込んで、これを現在のプロック演算結果で貯蔵する。二番目モードでは、動きベクターの値を0にして参考しようとするプロックのデータを以前フレームから入力して、これを現在のプロックデータへ貯蔵する。三番目モードでは、参考しようとするプロックのデータに対する入力がなくて現在のIDCT結果を現在のプロックデータの値で貯蔵する。四番目モードでは、動作モードに応じて4MV、UMV(unrestricted motion vector)に区分され、現在処理しようとするプロックの予測動きベクターを計算し、これを入力された動きベクターの差分値と合わせて最終的な動きベクターを求める。

【0057】そして、これを基盤として参考しようとするプロックを探し出し、逆離散コサイン変換結果と合わせて最終的な現在のプロックデータの値で貯蔵する。MC-PLUS2002は、参考しようとするプロックのデータと現在処理中であるプロック逆離散コサイン変換の結果とを合わせて追加的に半画素単位の補間を実行する。DMA2003は、外部メモリから参考しようとするプロックのデータの入力を受け、現在計算されたプロックのデータを貯蔵する。この際、読み及び書きの基本単位は8ピクセル及び9ピクセルであり、この単位の読み及び書きを8回または9回反復する。以上のように本発明はRISCプロセッサを基盤とするプログラムが可能である動画映像復元プロセッサ構造と、動画映像処理時に問題となる外部メモリアクセスを最小化するために三つに分離されたバス構造と、動画映像処理プロックのコプロセッサ構造とで構成し、これらの独立的な動作を可能にすることによって、システム効率(スループット)を向上させることができる構造で、H.263/MPEG-4等有線動画映像復元のための端末機のメインプロセッサとして使用されることができ、プログラムが可能である多様な適用分野に最適化することが可能であり、各プロックなどがメインプロセッサと独立的なモジュールから構成される機能追加／拡張処理が容易になることができる。即ち、本発明で提案する構成は、全体的な制御をCPUが実行し、残りの映像復元などに使用される機能プロック等は補助プロセッサの形態に設計されたインターフェース形態である。よって、特定の機能プロックが後に必要になった場合、全体的な構造を変えないで、各モジュール毎の追加／拡張を容易に行える。

【0058】

【発明の効果】以上で詳述したように本発明によると、RISCプロセッサを基盤としてメモリアクセスを最小化す

るために分離されたバス構造を有する復元プロセッサを用いて、ビデオフォーン、遠隔監視システム、無線VOD端末機、PDA、VOIP(Voice Video Over Internet Protocol)端末機、IMT-2000端末機の動画映像処理機能で応用することが可能であり、特にプログラムが可能である構造を用いて多様な応用分野で最適化されたシステムを具現することができる。

【図面の簡単な説明】

【図1】一般的なメディアプロセッサの構造を示すプロック図である。

【図2】本発明に係る映像復元プロセッサの全体的な構成図である。

【図3】ホストインターフェースのプロック図である。

【図4】DSCUのプロック図である。

【図5】DSCU内部のコーデックプロックを制御するコプロセッサ動作制御命令の構造図である。

【図6】DSCU内部のコーデックプロックが外部メモリをアクセスするために使用するコプロセッサ命令の構造図である。

20 【図7】DSCU内部の各プロックがRISCプロセッサと通信するため使用するコプロセッサインターフェースの構成図である。

【図8】DSCU内部の各プロックを制御するタイミング図である

【図9】DSCUが各プロックを制御するために使用する状態遷移図である。

【図10】DSCUが各プロックを制御するパイプライン構成図である。

【図11】VLDのプロック構成図である。

【図12】RVLDのプロック構成図である。

【図13】RVLD内の入力バッファの詳細図である。

【図14】一般的に使用される動画映像の復元過程を示す図である。

【図15】ADRの動作(エラー隠匿の処理過程)のフローチャートである。

【図16】IDCTとIQとのインターフェースに関する構成図である。

【図17】IQでの実行動作(ミスマッチング処理過程)の一つの例を示す図である。

40 【図18】IDCTの構成を示すプロック図である。

【図19】IDCTとIQとを用いるデータ流れ図である。

【図20】MCの構成図である。

【符号の説明】

201 復元プロセッサ

202 コプロセッサバス

203 映像デコーダ(Video Decoder)

203a DSCU(Decoding Sequence Control Unit)

203ba VLD(Variable Length Decoder)

203bb RVLD(Reversible Variable Length Decoder)

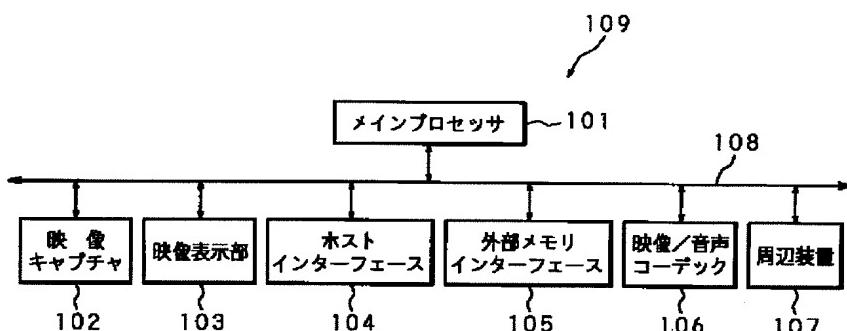
50 203ca IDCT(Inverse Discrete Cosine Transform)

29

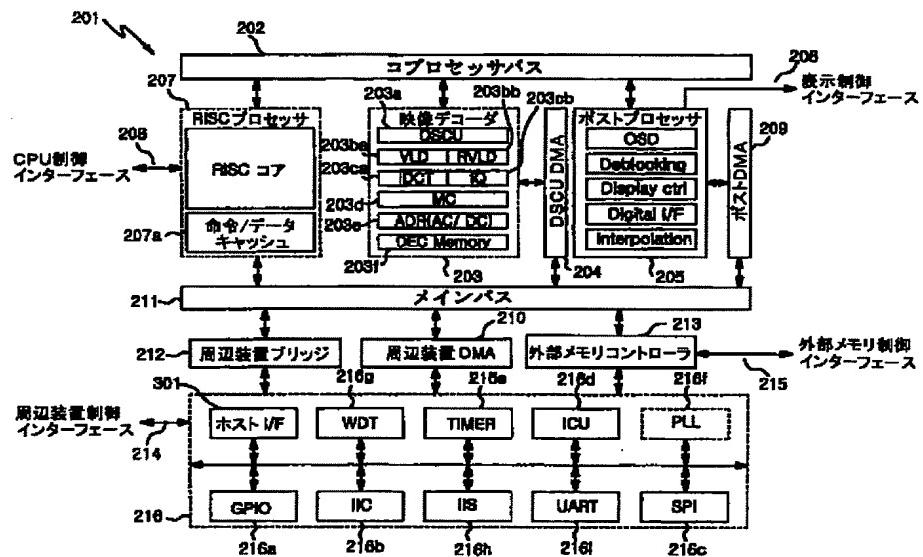
30

203cb IQ (Inverse Quantization)	* 213 外部メモリコントローラ
203d MC (Motion Compensation)	214 周辺装置制御インターフェース
203e ADR	215 外部メモリ制御インターフェース
203f DEC Memory	216 周辺装置
204 DSCU DMA (Direct Memory Access)	216a GPIO (General Port Input Output)
205 ポストプロセッサ	216b IIC (Inter IC Controller)
206 表示制御インターフェース	216c SPI (Serial Port Interface)
207 RISC (Reduced Instruction Set Computer) プロセッサ	216d ICU (Interrupt Control Unit)
208 CPU 制御インターフェース	216e TIMER
209 ポストDMA	10 216f PLL (Phase Locked Loop)
210 周辺装置DMA	216g WDT (Watch Dog Timer)
211 メインバス	216h IIS (Inter IC Sound Interface)
212 周辺装置ブリッジ	216i UART (Universal Asynchronous Receiver Transmitter)
	* 301 ホストインターフェース

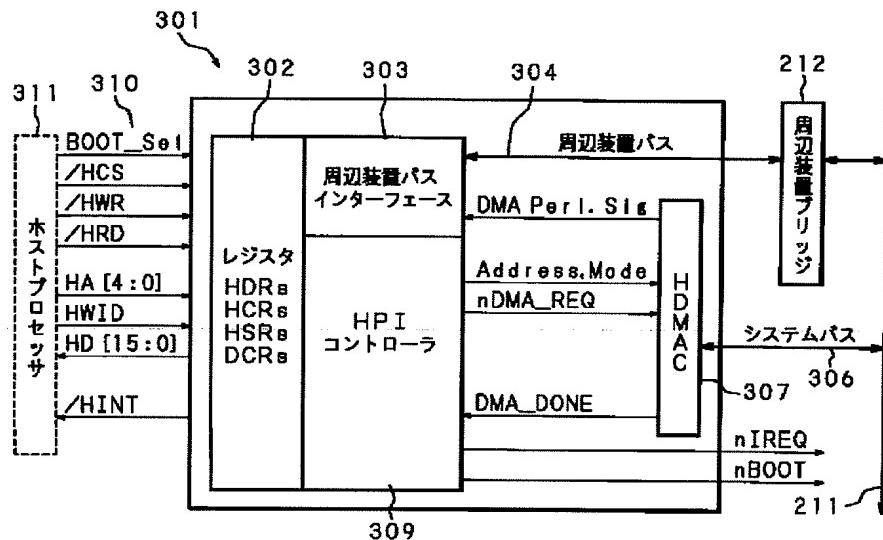
【図1】



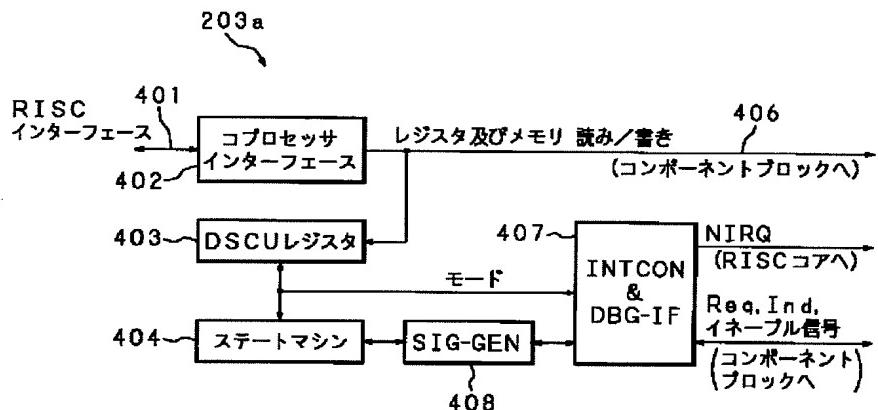
【図2】



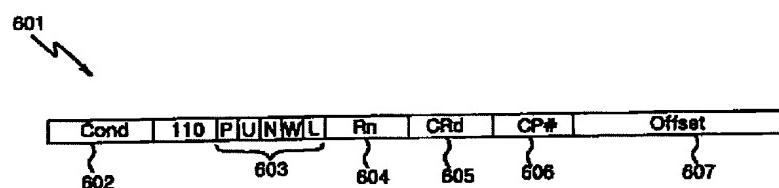
【図3】



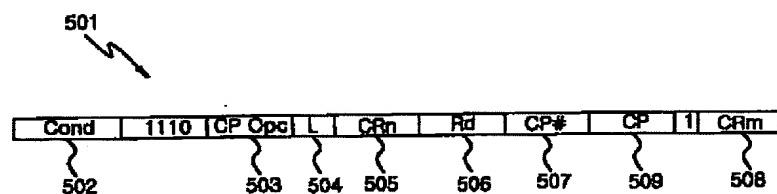
【図4】



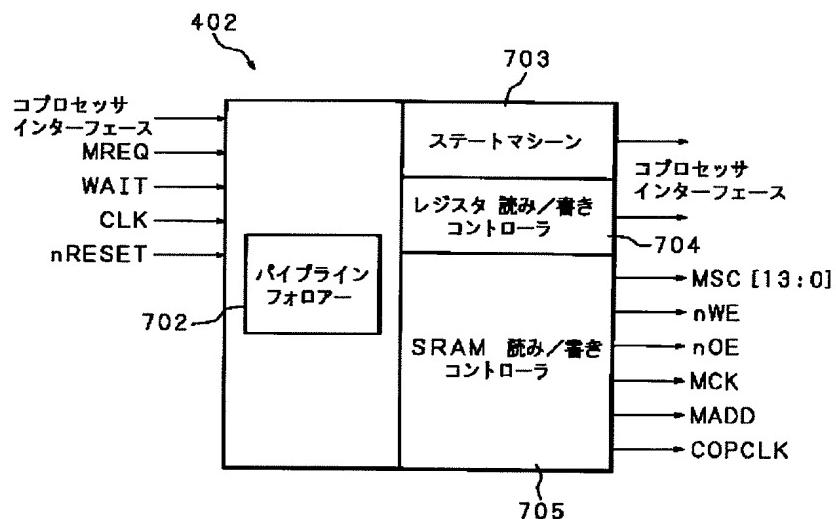
【図6】



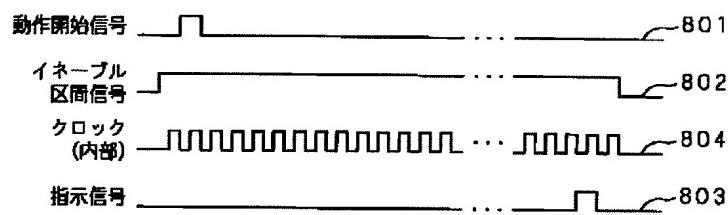
【図5】



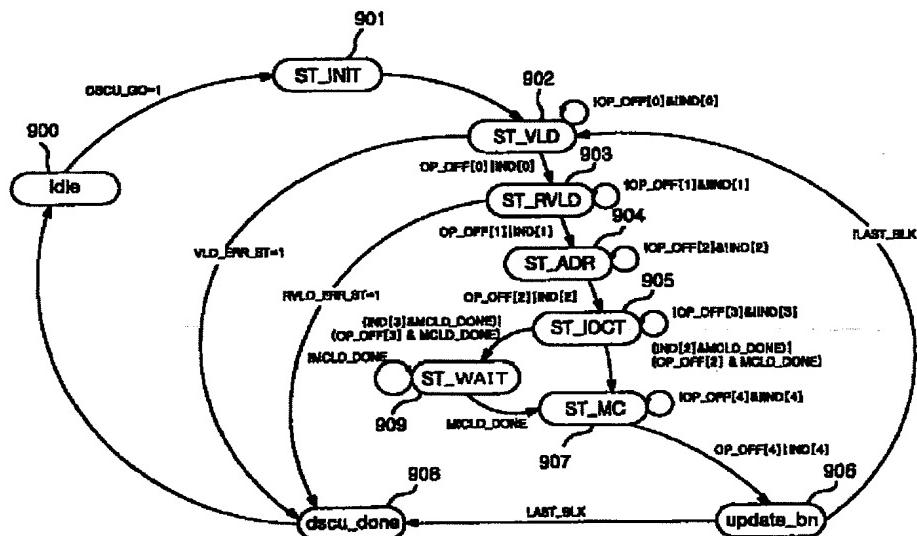
【図7】



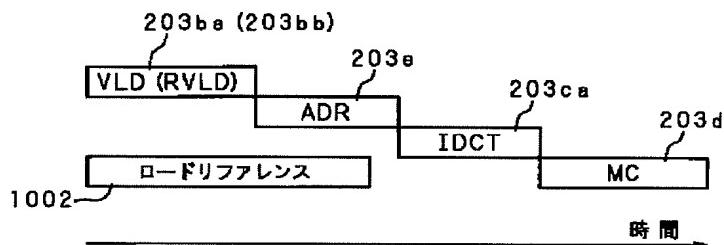
【図8】



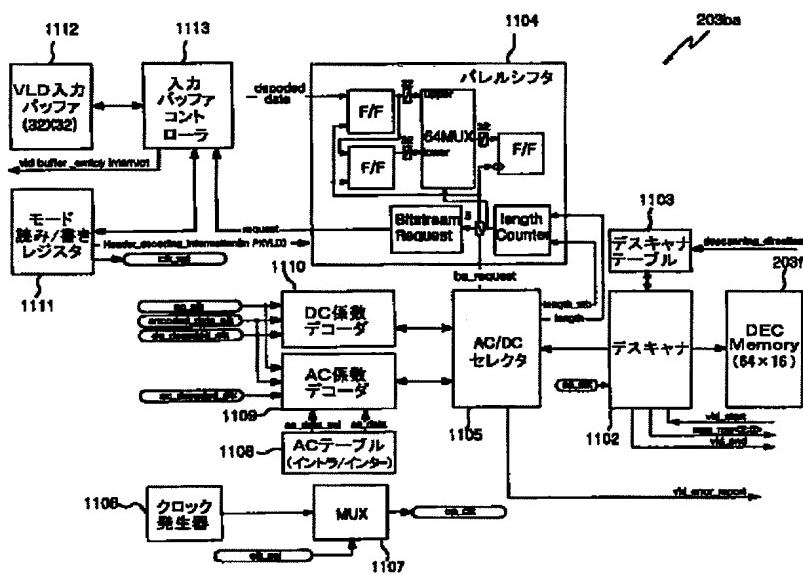
[図9]



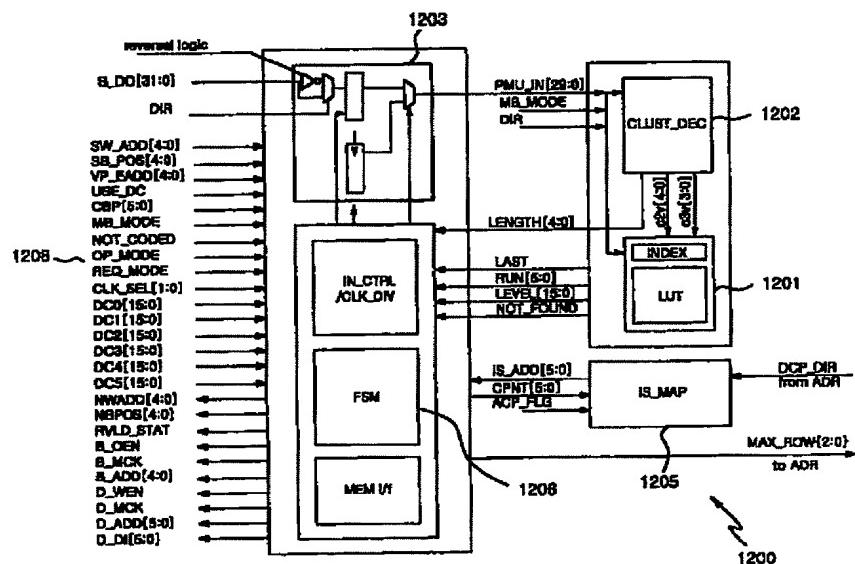
【図10】



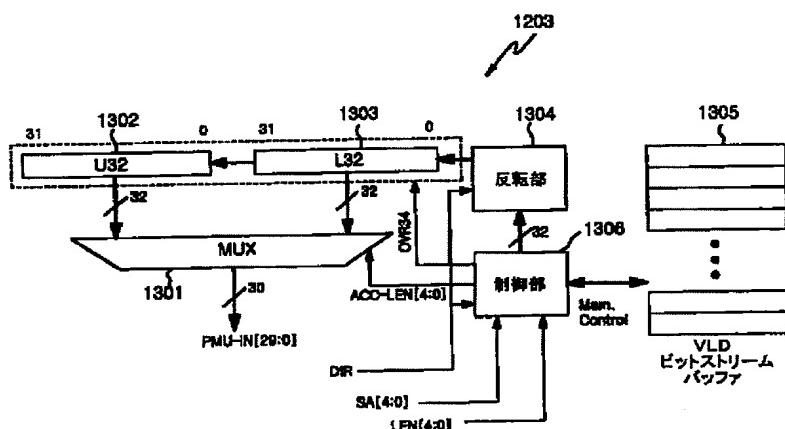
【图 1-1】



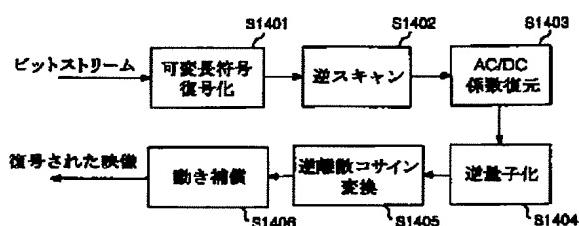
【図12】



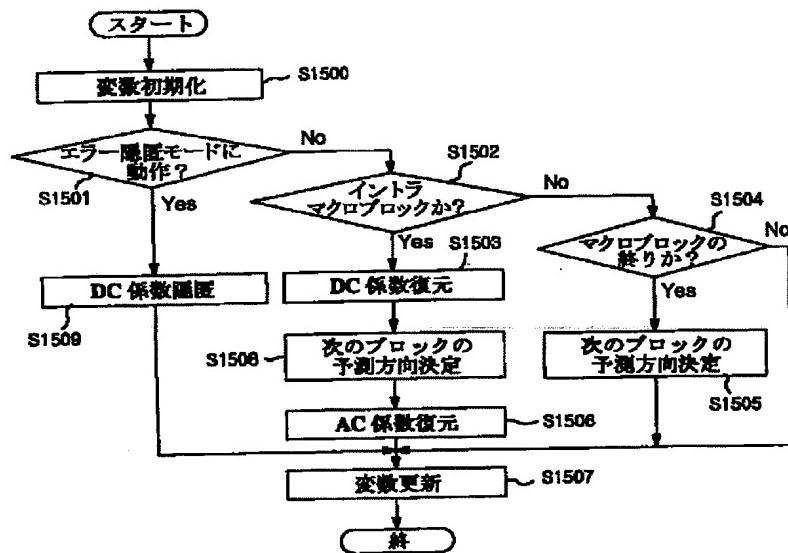
【図13】



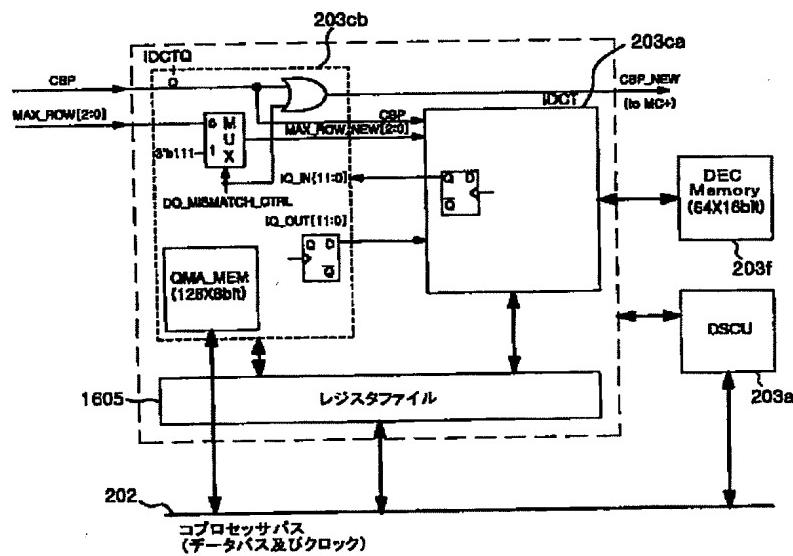
【図14】



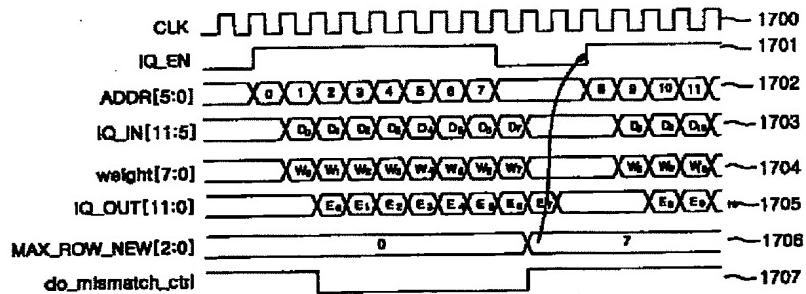
【図15】



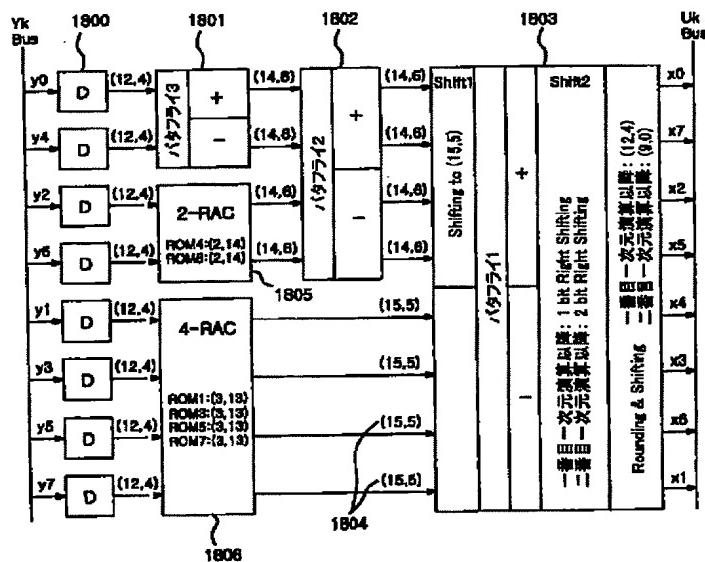
【図16】



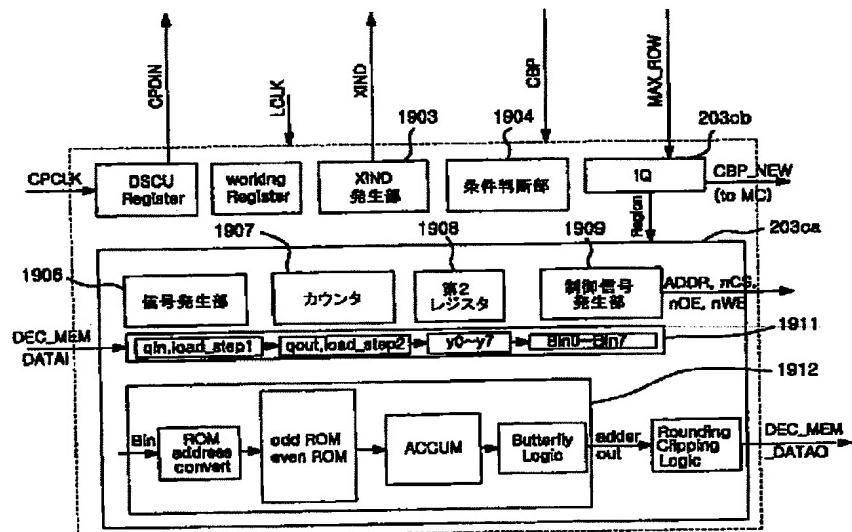
【図17】



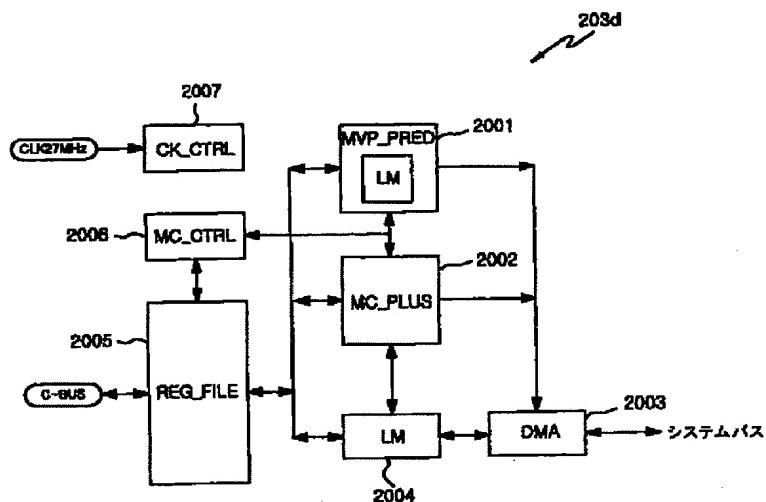
【図18】



【図19】



【図20】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成16年7月8日(2004.7.8)

【公開番号】特開2003-204556(P2003-204556A)

【公開日】平成15年7月18日(2003.7.18)

【出願番号】特願2002-366636(P2002-366636)

【国際特許分類第7版】

H 04 N 7/32

【F I】

H 04 N 7/137 Z

【手続補正書】

【提出日】平成15年6月4日(2003.6.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

外部から入力される圧縮された動画映像の復元を実行するために全体のプロセッサを制御する制御手段と、

動画映像の復元を実行する復元手段と、

復元された動画映像信号に対して外部に連結される出力装置に適合する後処理を実行する後処理手段と、

前記復元手段と外部メモリとの第1インターフェース手段と、

前記後処理手段と前記外部メモリとの第2インターフェース手段と、

前記外部メモリと周辺装置との第3インターフェース手段と、

前記外部メモリを制御するメモリ制御手段と、

前記周辺装置が連結されたローカルバスとメインバスとの第4インターフェース手段と、

前記各構成部を連結させるバスと

を備えることを特徴とするマルチメディア信号処理のための映像復元プロセッサ。

【請求項2】

前記復元手段及び前記後処理手段は、前記制御手段と独立に動作するコプロセッサから構成されていることを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項3】

前記制御手段と前記復元手段及び前記後処理手段との間の命令伝達及び制御は、前記後処理手段が前記制御手段と独立に動作する独立的なコプロセッサバスを介してインターフェースされるようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項4】

前記制御手段は、別途のマルチメモリなしでシステム制御に必要なプログラムを貯蔵する命令/データキャッシュを有することを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項5】

前記復元手段は、ハフマン符号化によって圧縮されたデータを復元する可変長符号復元手段と、動き補償を実行する動き補償手段と、圧縮された動画映像の係数を時間領域の係数で復元して逆量子化を実行する逆DCT/逆量子化手段と、AC/DC係数の予測によ

って圧縮されたデータを復元するデータ復元手段と、前記復元手段の各構成部が共通で使用するメモリ手段と、前記各構成部のシーケンスを制御するシーケンス制御手段とを有することを特徴する請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項6】

前記シーケンス制御手段は、フレーム単位で前記制御手段を介して解釈された情報を用いてブロック単位でピクセルデータ復元のための全体シーケンスを制御し、前記可変長符号復元手段、前記逆DCT／逆量子化手段及び前記動き補償手段における一連のパイプラインを有機的に制御するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項7】

前記可変長符号復元手段は、ハフマン符号化された入力データを1コード単位で順方向または逆方向に復元するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項8】

前記逆DCT／逆量子化手段は、周波数領域で符号化された入力データに対して、時間領域に逆変換し、逆量子化を実行して、動画映像処理時の演算量を最小化すべく前記可変長符号復元手段から受けた係数の特徴に関する情報を用いて局部的な逆離散コサイン変換を実行するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項9】

前記動き補償手段は、入力された動きベクターの差分値と周辺マクロブロックの動きベクターを用いて予測された値とで最終的な動きベクターを計算し、計算された動きベクターを用いて以前フレームの相対的な位置を探し出した後、該当する領域のピクセルデータを読み込んで現在のブロックの復元に用いて、前記制御手段から発生されたエラーのモード及び条件の入力を受けて、必要なエラー隠匿機能を実行するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項10】

以前フレームまたは現在処理しようとするフレームを外部メモリから読み込む過程を、前記復元手段の各構成部の動作とは独立的に実行するようにしたことを特徴とする請求項9記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項11】

前記メモリ手段は、動画映像データの復元時に必要な中間結果を記憶すると共に、以前フレームのデータを一時的に記憶するようにしたことを特徴とする請求項5記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項12】

前記後処理手段は、動画映像の他に追加的に文字を同時に表示するOSD機能と、復元された動画映像に対してデブロッキングを実行するデブロッキングフィルタ機能と、外部出力装置の種類に応じて適合する制御信号を発生させる表示制御機能と、外部デジタル出力装置のインターフェースを実行する機能と、復元された動画映像に対して補間を実行する補間フィルタ機能とを実行するようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項13】

前記制御手段、前記復元手段、前記後処理手段、前記第3インターフェース手段、前記第4インターフェース手段及び前記メモリ制御手段は、独立的なメインバスを介してインターフェースされるようにしたことを特徴とする請求項1記載のマルチメディア信号のための映像復元プロセッサ。

【請求項14】

前記周辺装置は、外部ホストプロセッサとのインターフェースを提供するホストインターフェースと、ソフトウェアリセットを制御するWDTと、カウントアップ／ダウンを支援するタイマと、外部から入力される各種インターラプトを処理するICUと、内部にク

ロックを供給するPLLと、システム応用時に凡庸入出力端子で使用するGPIOと、外部映像エンコーダ及びデコーダへのインターフェースを提供するIICと、音声インターフェースのために使用されるIISと、凡庸直列通信ポートであるUARTと、マルチチャンネル直列通信を支援してマスターまたはスレーブモードで動作するSPIとを有することを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項15】

前記周辺装置の各構成部は、異なるバスと独立的に動作する周辺装置制御バスを介してインターフェースされるようにしたことを特徴とする請求項14記載のマルチメディア処理のための映像復元プロセッサ。

【請求項16】

前記制御手段、前記第1インターフェース手段、前記第2インターフェース手段及び前記第3インターフェース手段は前記メインバスに対してマスターの機能を実行し、前記第4インターフェース手段及び前記メモリ制御手段は前記メインバスに対してスレーブの機能を実行するようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項17】

前記制御手段は、動画映像の復号過程にあって、フレーム単位で含まれる各種ヘッダ情報と上位マクロブロックに対する情報をソフトウェア的に解釈するようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項18】

前記制御手段にダウンロードされる外部プログラムは、前記周辺装置の中で、外部ホストプロセッサとのインターフェースを提供するホストインターフェースを介して電源を認可すると共に、必要なコードを読み込むようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項19】

前記制御手段にダウンロードされる外部プログラムは、前記メモリ制御手段を用いて、外部のプログラムメモリから前記メインバスを介して読み込むようにしたことを特徴とする請求項1または18記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項20】

前記復元手段は、コプロセッサバスを介して前記制御手段を用いて命令を受け入れる際に、前記制御手段とハンドシェイク方式でインターフェースするようにしたことを特徴とする請求項1記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項21】

前記コプロセッサバスは、前記制御手段を介して前記メインバスとバス動作するようにしたことを特徴とする請求項3記載のマルチメディア信号処理のための映像復元プロセッサ。

【請求項22】

前記周辺装置制御バスは、前記第4インターフェース手段を介して前記メインバスと動作制御するようにしたことを特徴とする請求項15記載のマルチメディア処理のための映像復元プロセッサ。